

東北大学 未来科学技術共同研究センター

シリコン産業に革命を起す半導体製造装置

東北大学 おおみ ただひろ ひらやま まさき しらい やすゆき
 大見 忠弘、平山 昌樹、白井 泰雪、
 てらもと あきのぶ あきお いてい いのくち あつとし
 寺本 章伸、程 煒涛、井ノ口 敦智

アブストラクト

システムトータルの超高性能化、超低消費電力化を指向して、90nm → 65nm → 45nm → 32nm → 22nm と続く半導体集積回路の超微細化、超高集積化の研究開発が精力的に展開されている。同時にシステムの超高性能化には、2次元平面形状 MOS トランジスタに替わる3次元立体構造 MOS トランジスタとノンポーラスの低誘電率層間絶縁膜の導入が不可欠である。一方、現状の半導体技術、半導体産業は重大な行き詰まり状況に直面している。ゲート絶縁膜の極薄膜化及びデバイスの超微細化の必然的結果として、リーク電流が激増してこれ以上の微細化が行えない状態に追い込まれていることと、MOS トランジスタのしきい値電圧のばらつきが微細化と共に増大することから電源電圧を予定通り低下させられず、一層リーク電流の激増を招いていることが、その原因である。現状の半導体技術のこうした困難は、全て現状の貧困な半導体製造装置、特に現状のプラズマ装置に起因している。現状のプラズマ装置は、配線工程でのみ使われていて、トランジスタ製造工程にはつかえない。イオン照射ダメージやチャージアップダメージが大きすぎるからである。配線工程で使用されるプラズマプロセスが、結果としてトランジスタ性能を劣化させ、トランジスタのしきい値をばらつかせ、1/f 雑音を増大させている。

半導体技術は、今、革命の時を迎えている⁽¹⁻³⁾。すなわち、現状の分子反応ベースの半導体生産方式からラジカル反応ベースの半導体生産方式への転換の時である。現状の分子反応ベースの半導体生産方式における課題とラジカル反応ベースの半導体生産方式で実現可能となる半導体集積回路の特長を表1、2に示した。信頼性の高い超微細超高集積半導体 ULSI 製造は、新しいラジカル反応ベースの生産方式でなければ実現されない。同時に、少品種大量生産対応の現状の半導体生産方式を、21世紀の主流となる情報家電時代に不可欠なデジタル・アナログ・RF 混載システム CMOS LSI 製造を可能とする超多品種少量可変量生産対応の生産方式に転換することが緊急に求められている。現状のシステム LSI は、デジタル回路は CMOS、アナログ・

半導体技術の課題	原因
★電源電圧が低くできず、低消費電力化できない	・MOSトランジスタのしきい値電圧の大きなバラッキ (信号電圧>23×ばらつき電圧 ⇒ 誤動作無し)
★ゲート絶縁膜を薄くできない	・大きなリーク電流 (スタンバイ時の消費電力激増)
★Si(100)面にしかLSIが作れない ⇒2次元平面形状トランジスタしか使えない	・Si(100)面にしか高品質の熱酸化膜が作れない
★回路レイアウトパターンに厳しい制限 ⇒アンテナ比<100~200以下	・プラズマプロセスでゲート絶縁膜が破壊
★システムLSIはBi-CMOSでしか作れない	・大きなしきい値電圧ばらつき、大きな1/f雑音、大きなスイッチング時のオフセット雑音等々のため、アナログ・高周波はCMOSで作れない
★多品種少量生産が難しい	・ウェーハの表面バターンや表面材料が変わると、プラズマの均一性が保てず、その都度条件出しが必要
★微細化世代進行毎に大規模投資が必要	・微細化が進行すると、細くて深い穴が割れず、埋められなくなる

表1 現状の分子反応ベース半導体生産に方式の課題

項目	開発成果
★ウェーハの面方位	・任意の面方位にLSI製造可能
★トランジスタ構造	・3次元立体構造トランジスタ可能
★回路レイアウトパターン	・任意のアンテナ比の回路パターン可能
★ゲートリーク電流	・1/1000から1/100000以下へ
★1/f雑音	・1/10以下へ
★しきい値電圧ばらつき	・1/20以下へ
★動作速度	・約10倍向上
★CMOS回路	・アナログ動作、高周波動作可能

表2 ラジカル反応ベース新半導体生産方式によって実現可能となる半導体回路

RF 回路は Bipolar で構成する BiCMOS 構造であるため、工程数が長くチップ面積が大きい。システム LSI 時代を本格化するには、シリコンの full CMOS システム LSI 技術の確立が不可欠である。

1. はじめに

トランジスタは1,000℃前後の高温熱処理工程で製造し、Al や銅などの金属配線を使用する配線工程は400℃程度以

下の低温のプラズマ処理で行うというのが現状の半導体生産方式である。結果として、現状の半導体生産方式では、半導体 LSI は (100) Si 表面にしか製造できないし、MOS トランジスタの構造は2次元平面形状に限定されるため、Si 結晶自身が有する性能を十分に駆使できていないのが実情である。反応力の無い酸素分子 (O_2) や水分子 (H_2O) との高温反応で Si 表面に SiO_2 膜を製作しているため、(100) Si 表面にしか比較的良質な SiO_2 膜が作れないことがその原因である。LSI の回路レイアウトパターンも厳しく制限されている。MOS トランジスタのゲートに接続される配線面積とゲート面積の比で決まるアンテナ比を、100から200以下に設計しないと、製造工程中にすべての LSI チップが壊れてしまうからである。自由な回路レイアウトパターンは、まったく使えないのが現状の半導体技術である。

半導体 LSI 製造は、細くて深い穴を掘って、その穴を所定の材料で埋めることのくり返しである。現状の半導体製造装置 (成膜装置、エッチング装置) は、プロセス速度のパターン依存性を有しており、微細化が進行してパターンがある程度まで小さくなると、細くて深い穴が掘れなくなり、細くて深い穴が埋められなくなって、微細化が進行すると新規装置の導入すなわち大規模投資をくり返さざるを得ない状況にある。現状のプラズマ装置は、同じ種類のウェーハに対して、同じガスの種類、同じガスの圧力、同じセルフバイアスを設定したときのみ、プロセスのウェーハ面内均一性は維持される。少しでも条件の異なるプロセスは、別の装置を用意してウェーハ面内均一性をそれぞれ実現しなければならない。結果として、膨大な数の装置が必要となり大規模投資が要求されると共に、ウェーハ表面の形状や材質が変わるたびに新しい条件出しが要求されることから少品種大量生産に限定される生産技術となっている。超微細化・超大規模集積化が進むと、通常、プロセスステップ数は増加するため、必要な装置台数が増大して、ますます巨大な投資が要求されることになる。

こうした現状のプラズマ装置が有する重大な全ての欠点を克服する新しい装置を、筆者等は半導体固有の基盤技術として創り上げたウルトラクリーンテクノロジー⁽⁴⁻⁸⁾を総動員して、筆者の研究室と東京エレクトロン(株)を中心とする22社の企業連合との共同で開発した。すなわち、マイクロ波励起超低電子温度高密度プラズマ装置 (超高品質ゲート絶縁膜形成: 1段シャワープレート構造、超高品質各種薄膜形成及び超高品質各種パターンエッチング: 2段シャワープレート構造) である。その特長は、2.45GHz の円偏波のマイクロ波をプラズマ励起に使用しているため、 $10^{12}cm^{-3}$ 台の高密度プラズマであるにもかかわらず略々1eV 程度以下と電子温度はきわめて低く、ウェーハ表面へのイオン照射エネルギーは10eV 程度以下と低いため、いっさいイオン衝撃ダメージを生じない。プラズマ励起領域とウェーハの

設置されるプロセス領域はきわめて近い距離にあるが、プロセス空間はプラズマ励起領域から完全に分離された拡散プラズマ領域にあるため、瞬時瞬時にウェーハ表面に流れ込む電子電流とイオン電流が打ち消し合い、どの瞬間にプラズマを消してもウェーハ表面に電荷がまったく残留しない。すなわち、チャージアップダメージが原理的に存在しない装置になっている。同時に、プラズマ励起領域と拡散プラズマ領域に設置されたウェーハ表面との距離は、ウェーハ面内で一定であるため、電子・イオンプラズマ密度及びその電子温度とラジカルの種類及びその密度とを、同時にウェーハ面内で均一にできるため、ウェーハ面内のプロセスの均一性を確立することが原理的に可能な装置になっている。電子温度の低いプラズマ励起領域で、狙いすましたラジカルを大量に発生させるため、超高品質の超薄膜 SiO_2 や Si_3N_4 がすべての面方位のシリコン表面上に同じ成長速度で形成可能である。すなわち、3次元立体構造 MOS トランジスタに道が拓けたのである。また、薄膜形成およびエッチング用原料ガスは、きわめて電子温度の低いプラズマ領域に供給されるため、過剰解離されることがなく、どんなに細くて深い穴の底にも十分に供給されることになり、プロセス速度にパターンサイズ依存性が生じない。すなわち、どんなに細くて深い穴でも、同じ速度で掘れるし、同じ速度で埋められる。微細化世代が進行するたびに繰り返し大規模投資を要求された半導体産業が、大規模投資を繰り返す必要のない健全な産業に転換する時を迎えたのである。

新たに開発されたマイクロ波励起高密度プラズマ装置は、円偏波を放射する Radial Line Slot Antenna (RLSA) と、誘電体板の形状を最適化して、均一なプラズマ励起を可能にすること、ガスの種類、ガスの圧力、基板電極のセルフバイアス及びウェーハの種類の内いずれを変えてもプラズマのウェーハ面内均一性が維持される装置になっている。毎回異なるウェーハ (異なる表面材料、異なる表面パターン形状のウェーハ) が入ってきても均一なプロセスが実現されるため、超多品種少量生産対応の半導体生産方式が可能となる。まったく異なる薄膜の連続成膜やまったく異なる薄膜からなる多層膜のエッチングもガスの種類やガスの圧力を連続的に変えることで実現されるため、プロセスの簡略化や生産性の向上に劇的に貢献する。

2. ばらつき・雑音の徹底的低減を要求する超微細大規模集積回路半導体技術^(2,3)

デバイス寸法を微細化して集積規模を大規模化し続けることが、システムトータルの性能向上を可能にする半導体 LSI の進歩の方向である。それらで構成されるシステムの信頼性を保証するには、半導体 LSI は保証期間 (例えば10年間: 3.15×10^8 秒) の間、まったく誤動作せずに動作し続けることが要求される。例えば、10GHz クロックで動作す

る一兆ゲートのシステムが10年間誤りなく動作し続けるために、信号／雑音（または、ばらつき）比は最低でも23.1以上でなければならない。

現状の半導体生産方式で最大のばらつき、雑音はMOSトランジスタのしきい値電圧のばらつき $\sigma(N)$ であり、ゲート長 L とゲート幅 W に依存し、現状の実力は、 $\sigma(N) = 7.36 / (LW)^{1/2}$ [mV] で与えられ、2001年ITRSのスケジュール通り0.4V電源電圧で動作する22nm世代の半導体ULSIで十分な信頼性を実現しようとする、しきい値電圧のばらつき $\sigma(N)$ を、現状の1/20以下に低下させなければならない。

現状の大きなしきい値電圧のばらつきは、プラズマプロセスでのイオン衝撃ダメージ、及びチャージアップダメージにより発生している。チャージアップダメージが原理的に生じないマイクロ波（2.45GHz）励起高密度プラズマで電子の衝突断面積が大きいAr、Krをプラズマ励起ガスに用いると、電子温度が1.0eV、0.7eV程度と低くなる為、イオン衝撃ダメージも抑制されプラズマ工程によるしきい値電圧のばらつきを抑制できる。

こうした電子温度が低く、拡散プラズマ領域でプロセスが行えるプラズマ装置をトランジスタ製造工程、配線工程ともに一貫して用いることが、超高性能・超低消費電力次世代半導体ULSI実現の唯一の道である。

3. 超低電子温度高密度プラズマ装置とラジカル反応ベースで実現される高性能プロセス技術

今後のULSI作りは、微細化による高性能化と低電圧化・内部リーク電流低減による省電力化を行うため、LSI中に作られるトランジスタのばらつき・雑音を徹底的に低減することが最も重要な技術開発課題である。現状のプラズマ装置は、ウェーハ表面へのダメージ、チャンバからの汚染のために、トランジスタ形成、特にゲート絶縁膜形成工程には全く使えない。金属配線を形成した後でプロセスの低温化が必要な配線工程においては使用されているが、やはり、そのダメージのために今後のLSI作りには使えない。ダメージフリープロセスを実現するために超低電子温度拡散プラズマ領域におけるプロセスが必要であり、高生産性のために高密度のプラズマプロセスが必須となる。それを実現したのが、マイクロ波励起によって形成される超低電子温度高密度プラズマである。

本章では、マイクロ波励起超低電子温度高密度プラズマ装置について述べる。シリコン表面を O^* ラジカル、 NH^* ラジカルを発生させて、直接酸化・窒化して形成される SiO_2 や Si_3N_4 のゲート絶縁膜製作工程では、1段シャワープレート型超低電子温度高密度プラズマ装置（図1（A））を用いる。また、プラズマ励起空間で発生させたラジカルと原料ガスを反応させて成膜・エッチングを行うときには、

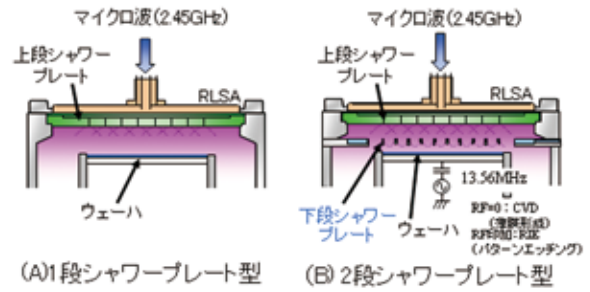


図1 (A) 1段シャワープレート型、(B) 2段シャワープレート型超低電子温度高密度プラズマ装置。

ゲート絶縁膜製作工程では1段シャワープレート型装置を、プラズマ励起空間で発生させたラジカルと原料ガスを反応させて成膜・エッチングを行うときには2段シャワープレート型超低電子温度高密度プラズマ装置を用いる。

2段シャワープレート型超低電子温度高密度プラズマ装置（図1（B））を用いる。

3-1 1段シャワープレート型超低電子温度高密度プラズマ装置⁽⁹⁻¹²⁾

図1（A）に示される1段シャワープレート型超低電子温度高密度プラズマ装置の特徴を述べる。プラズマ励起はシャワープレート直下10mm以内で行われ、94～95%のマイクロ波電力はプラズマ励起に使用され、残りの5～6%のマイクロ波電力は完全反射されチャンバ内部には進入しない。プラズマ密度は 10^{12}cm^{-3} と十分に高いため、(1)式であらわされるプラズマ周波数が、2.45GHzや8.3GHzより十分高いからである。

$$\omega_p = \left(\frac{ne^2}{m_e \epsilon_0} \right)^{\frac{1}{2}} \quad (1)$$

ただし、 n :電子密度、 m_e :電子の質量、 ϵ_0 :真空の誘電率、 e :電子の単位電荷である。シャワープレートから20mm以上離れると電子温度は、1.0eV近辺（Arプラズマ、0.5Torr（67Pa））で一定値となる。この事実、シャワープレートから20mm以上離れた領域は、完全な拡散プラズマ領域であることを示している。Arにくらべて、2倍および4倍程度の電子の衝突断面積を有するKr及びXeにガスを替えると、2.45GHz励起でそれぞれ0.7eV、0.5eV程度の電子温度にまで低下した超低電子温度プラズマが実現される。シリコン基板は通常シャワープレートから40～60mmの位置に設置されているから、プラズマ励起領域からは完全に分離された拡散プラズマ領域がプロセス領域となる。結果としてシリコン基板表面に照射されるイオンにより発生する2次電子は、プラズマ励起にまったく寄与せず、どんなパターン、

材料を有する基板表面に対しても均一なプロセスが保証される。電子温度が1 eV 以下と十分に低くなるので、基板表面やチャンバ内表面を照射するイオンエネルギーは十分小さくなって、基板表面ダメージや基板表面金属汚染はまったく発生しない。フローティング状態にある基板表面を照射するイオンエネルギー ϵ_{bob} は、

$$\epsilon_{bob} = \frac{KT_e}{2} \ln \frac{m_i}{2.3m_e} \quad (2)$$

で与えられ、電子温度 T_e に直線的に比例する。ただし、 m_i はイオン質量、 K は Boltzman 定数である。

この装置ではプラズマ励起領域において、プロセス促進に必要な反応性に富んだ各種ラジカルが狙いすましたように生成される。表面の酸化、窒化に不可欠な酸素ラジカル O^* や NH^* ラジカルはプラズマ中で効率よく励起され、シリコン表面を SiO_2 、 Si_3N_4 に低温で変える。このように反応性の強いラジカルを用いて絶縁膜を形成すると、従来の熱酸化と比較して同等以上のトランジスタ特性を実現するとどまらず、現状の装置では、不可能であった低温での高品質ゲート絶縁膜成を (100) Si 表面だけでなくすべての面方位の Si 表面に可能にする。図2は、矩形状3次元トランジスタのゲート絶縁膜を通常の熱酸化膜と本装置で形成したラジカル酸化膜で形成した場合のサブスレッショルド領域のS値の(100)表面面内方向依存性を示している。室温におけるS値の理論値である約60mV/dec に対し、熱酸化膜では、80~100mV/dec となり、界面準位密度が非常に大きく、(100) Si 表面以外には、高品質な酸化膜が形成できないのに対し、ラジカル酸化膜の場合では、65~70mV/dec を実現しており、(100)Si 表面以外の面方位の存在する3次元トランジスタに十分対応できる超高品質ゲート絶縁膜が形成可能なことを示している。

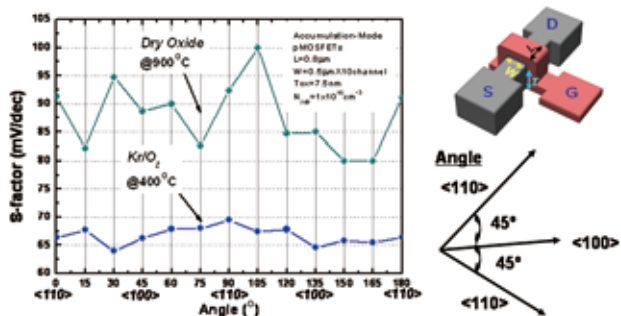


図2 3次元トランジスタにおいて、熱酸化膜と本装置で形成したラジカル酸化膜をゲート絶縁膜にしたときのS値のチャンネル方向依存性。

3-2 2段シャワープレート型超低電子温度高密度プラズマ装置

本装置はシリコン直接酸化・窒化プロセス用に筆者等が開発したマイクロ波励起高密度プラズマ装置に下段シャワープレートを導入した2段シャワープレート型マイクロ波励起高密度プラズマ装置となっている。誘電体板を介し、2.45GHzのマイクロ波がスロットアンテナより均一にチャンバ内に導入され、上段シャワープレート直下に $10^{12}cm^{-3}$ を超える高密度プラズマが生成される。プラズマ励起ガスは上段シャワープレートからウェーハ表面に均一に導入される。プロセスガスを導入するための下段シャワープレートは電子温度が1 eV 程度以下に下がった拡散プラズマ領域に設置する。照射イオンエネルギーが10eV程度以下と十分に低いため、下段シャワープレートの表面がスパッタされて削られることはまったくない。本装置はウェーハ基板電極部に高周波を印加すればエッチング装置として、また、ウェーハ基板電極部を電氣的浮遊状態で使用すればCVD装置として機能する。

本装置は、プラズマ励起空間とプロセス空間が完全に分離されているため、アンテナや上段シャワープレートの構造を最適化することによりプラズマの均一性を確立すること、プロセスガスの種類、圧力、ウェーハ表面のパターン形状、材料及び基板電極のセルフバイアスのいずれを変えてもウェーハ面内でのプラズマの均一性が全く変化しない。プラズマ励起空間と完全に分離された拡散プラズマ領域に下段シャワープレートを導入することで、基板部への高周波印加によってプラズマ励起空間が影響されて均一性、密度が変化することは全くなくなる⁽¹³⁾⁽¹⁴⁾。代表例として、図3に n^+ ポリシリコンゲート電極、 p^+ ゲート電極を同時にエッチングするHBr/ O_2 プラズマのウェーハ面内均一性を示す。プロセスガス圧力を変えても、ガス組成を変えても300mmφのウェーハが存在する半径150mm部分の均一性は一定に保たれている。一台の装置が、ガスの種類やガスの圧

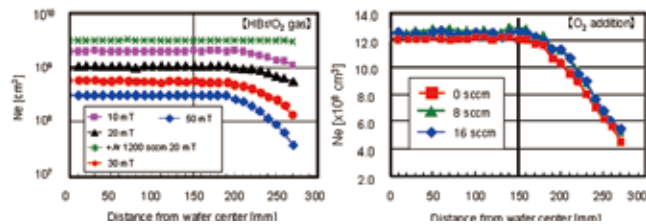


図3 HBr/ O_2 プラズマのウェーハ面内均一性。プロセスガス圧力(A)を変えても、ガス組成(B)を変えても300mmφのウェーハが存在する半径150mm部分のプラズマの均一性は一定に保たれている。

力、プラズマ密度や自己バイアスを変えることで、複数の異なるプロセスが異なる表面形状や表面材質のウェーハに対して連続して行えるマイクロ波励起高密度プラズマ装置は、現状の半導体生産方式がまったく不得手とする超多品種少量・可変量生産を完全に可能にする。

本装置では、プラズマCVDを行っても、RIEを行ってもチャージアップダメージがまったく存在しない。結果として、図4に示すように、現状プラズマ装置では、1回のCVD成膜、RIEを行うと 10^4 以上のアンテナ比のパターンを有するチップで、膜厚4nm $1\mu\text{m}^2$ のゲート絶縁膜が破壊してしまう。CVD、RIEプロセスは半導体製造工程の中で何十回と使われるから、回路レイアウトがアンテナ比100~200以内に制限されてしまっている。本装置を用いれば、アンテナ比 10^6 でも全く絶縁膜の劣化を発生させない。これにより、半導体の回路設計レイアウトは、チャージアップダメージによって制限されることから完全に解放されることになる。このプラズマ装置を基本として、すべての成膜、RIEを行っていく。

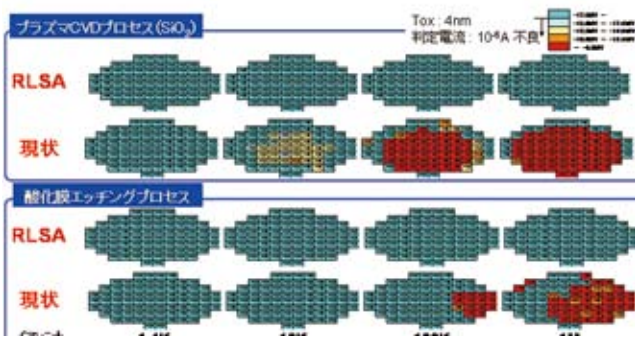


図4 現状装置と超低電子温度高密度プラズマを用いてSiO₂の成膜、エッチングを行ったときのチャージアップダメージ。

現状プラズマ装置では、1回のCVD成膜、RIEで 10^3 以上のアンテナ比を持つパターンではゲート絶縁膜が破壊する。本装置を用いれば、アンテナ比 10^6 でも全く絶縁膜の劣化を発生させない。

Low-k層間絶縁膜においては、ポーラスな膜を用い実効誘電率を低減する動きもあるが、超微細LSIにおいては、前後の工程も複雑化し、原理的に機械的耐久性も劣化していくことから、ノンポーラスのLow-k膜を開発することが必須であると考えている。そこで、筆者らは、フロロカーボン膜をその候補にあげ、比誘電率2.0以下のノンポーラス膜を実現した^(2,3)。2段シャワープレート型の超低電子温度高密度プラズマ装置を用い、原料ガスを過剰解離させることなく、適切な反応種としてウェーハ表面に供給・成膜することにより、高品質なフロロカーボン膜を成膜することに成功した。図5は、2段シャワープレートの上段からArガ

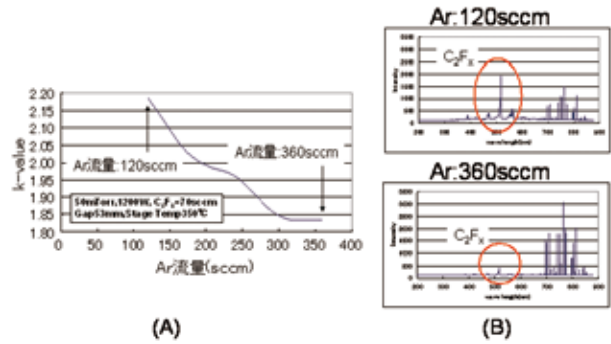


図5 上段シャワープレートからのAr流量を変化させた場合の(A)フロロカーボン膜のk値の変化と(B)チャンバ中のガス解離特性。

Arガス流量が大きくなるほど、C₅F₈の解離が抑制され、それとともにフロロカーボン膜のk値が減少する。

ス、下段からC₅F₈ガスを導入するフロロカーボン膜形成において、C₅F₈流量を70cc/minに固定し上段シャワープレートからのAr流量を120cc/minから360cc/minに変化させた場合の(A)フロロカーボン膜のk値の変化と(B)チャンバ中のガス解離特性を示す。Arガス流量が大きくなるほど、C₅F₈の解離が抑制され、それとともにフロロカーボン膜のk値が減少する。320cc/min以上のArガス流量では、K値1.84が実現されている。このことは、原料ガスが導入される領域のプラズマが低電子温度に完全に制御され、導入ガスがチャンバ中で乱されることなくウェーハに供給されれば、原料ガスの過剰解離が抑制され、狙いすましたCVDプロセスが可能となることを示している。

RIEプロセスにおいても2段シャワープレート型の装置を用い、下段シャワープレートから供給する原料ガスを過剰解離することなく、細くて深い穴底に到達させることにより、マイクロロディング効果がなく、パターンサイズ依存性がないRIEが可能となる。図6は $2\mu\text{m}\phi\sim 80\text{nm}\phi$ 径のコンタクトホールをエッチングしたときの(A)エ

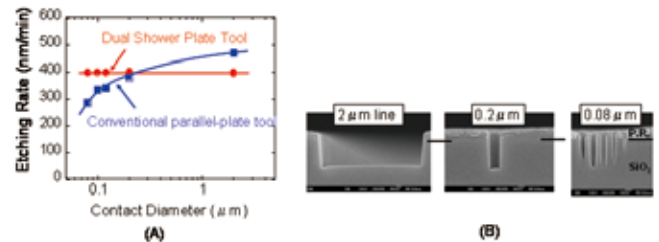


図6 $2\mu\text{m}\phi\sim 80\text{nm}\phi$ 径のコンタクトホールをエッチングしたときの(A)エッチングレートの穴径依存性と(B)断面写真。

穴径に全く依存しないエッチングレートが実現できている。

チングレートの穴径依存性と (B) 断面写真である。穴径に全く依存しないエッチングレートが実現できている。本装置は、ウェーハ径さえ同じであれば、すべての微細化世代の LSI 生産に適用できる世界で最初の装置である。

5. むすび

現状の分子反応ベースの半導体生産方式に変わるラジカル反応ベースの生産方式について述べた。本装置は、超高品質プロセスを実現するだけでなく、ウェーハ表面のプラズマ均一性がプロセスのガスの種類・圧力、基板電極のセルフバイアス及び処理基板上の材料・パターンに全く依存しない装置として完成され、プロセス中にプロセス条件を自由に变化させることを可能にするとともに、1 チャンバマルチプロセスを実現する。本装置を用いて (100)、(110) Si 表面等、多様な面方位を有する 3 次元立体構造トランジスタのゲート絶縁膜に Si_3N_4 膜を導入し、しきい値電圧ばらつき、1/f 雑音、スイッチングオフセット雑音を徹底的に低減した超高速 MOSFET と比誘電率 2.0 以下のノンポーラス低誘電率薄膜、超高信頼 Mg 添加の Cu 配線⁽¹⁵⁾ を用いることにより、シリコンのバランス CMOS で、10GHz を超える超高速デジタル・アナログ・RF 混載システム LSI を超多品少量・可変量で超短時間に供給することを可能にする。

参考文献

- (1) T. Ohmi, S. Sugawa, K. Kotani, M. Hirayama, A. Morimoto, "New Paradigm of Silicon Technology," Proceeding of IEEE, Vol. 89, No. 3 (2001)、p.394.
- (2) Tadahiro Ohmi, Masaki Hirayama, and Akinobu Teramoto, "New Era of Silicon Technologies Due to Radical Reaction Based Semiconductor Manufacturing," J Phys. D Appl. Phys. Vol. 39, pp R1-R17, Jan. 2006.
- (3) 大見忠弘、平山昌樹、白井泰雪、寺本章伸、「サブ 100nm 半導体技術の課題と展望」、電子情報通信学会誌、89巻、2号 (2006)、p.109.
- (4) Tadahiro Ohmi, "ULSI Reliability through Ultraclean Processing," Proceeding of IEEE, Vol. 81, (1993)、p.716.
- (5) 大見忠弘著、ウルトラクリーン ULSI 技術、培風館、1995年12月刊。
- (6) 大見忠弘編著、ガスサイエンスが拓くプロダクトイノベーション、リアライズ社、1996年1月刊。
- (7) 大見忠弘編著、ウェットサイエンスが拓くプロダクトイノベーション、リアライズ社、2001年7月刊。
- (8) Tadahiro Ohmi ed, "Scientific Wet Process Technology for Innovative LSI/FPD Manufacturing", CRC, Taylor & Francis, Newyork, Jan. 2006
- (9) M. Hirayama, K. Sekine, Y. Saito and T. Ohmi, Tech. Dig., Int. Electron Devices Meet., (1999) p.249.
- (10) K. Sekine, Y. Saito, M. Hirayama and T. Ohmi, IEEE Trans. Electron Devices, 48, (2001) p.1550.
- (11) S. Sugawa, I. Ohshima, H. Ishino, Y. Saito, M. Hirayama and T. Ohmi, Tech. Dig., Int. Electron Devices Meet., (2001) p. 817.
- (12) K. Ohtsubo, Y. Saito, M. Hirayama, S. Sugawa, H. Aharoni, T. Ohmi, Extend Abstracts of the 2001 International Conference on Solid State Device and Materials, (2001)、162.
- (13) T. Goto, M. Hirayama, H. Yamauchi, M. Moriguchi, S. Sugawa and T. Ohmi, Jpn. J. Appl. Phys. Vol. 42, (2003)、p.1887.
- (14) T. Goto, H. Yamauchi, T. Kato, M. Terasaki, A. Teramoto, M. Hirayama, S. Sugawa and T. Ohmi, Jpn. J. Appl. Phys. Vo. 43, (2004)、p.1784.
- (15) T. Takewaki, R. Kaihara, T. Ohmi, and T. Nitta, "Excellent Electro/Stress-Migration-Resistance Surface-Silicide Passivated Giant-Grain Cu-Mg Alloy Interconnect Technology for Giga Scale Integration (GSI)," Tech. Dig., Int. Electron Devices Meet., (1995) p. 253.