

2017年度報告 ウェーハプロセス専門委員会

2018.04.24

早川 崇

ウェーハプロセス専門委員 委員長

	社名	氏名		社名	氏名
1	東京エレクトロン(株)	早川 崇	10	芝浦メカトロニクス(株)	野中 幹男
2	(株)日立ハイテクノロジーズ	青木 英雄	11	(株)SCREENセミコンダクターソリューションズ	荒木 浩之
3	(株)アドバンテスト	西名 繁樹 新	12	東京計装(株)	木村 義雄 新
4	アプライドマテリアルズ	越澤 武仁 新	13	(株)ニコン	中村 信一
5	(株)アルバック	鄒 弘綱	14	日新イオン機器(株)	鈴木 良守
	(株)アルバック	木村 勲	15	日本エー・エス・エム(株)	小林 伸好
6	(株)NGR	船橋 孝典	16	(株)ニューフレアテクノロジー	関根 孝條
7	(株)荏原精確所	濱田 聡美	17	(株)日立国際電気	国井 泰夫
8	オルガノ(株)	二ツ木 高志	18	(株)堀場エステック	藤井 哲雄
9	キヤノンアネルバ(株)	佐護 康実	19	ラムリサーチ(株)	野尻 一男
	キヤノンアネルバ(株)	松木 信雄	20	リオン(株)	近藤 郁

SEAJ事務局：星野 栄一、後藤たまき

2016年度 17社(21名) ⇒ 2017年度 20社(22名)で各要素技術など詳細議論
新規委員交えて、議論内容活発化、事務局サポートありがとうございました。

各要素技術のチャンレジ深堀

2016年度に実施

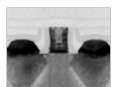
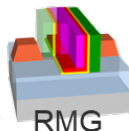
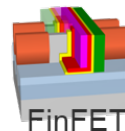
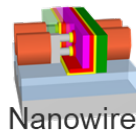
2017年度

(順不同)



	2015	2016	2017	2018	2019	2020
Logic	16/14nm		10nm		7nm	
DRAM	20nm		1xnm		1ynm	
3D-NAND	32L		48L		64L	
パターニング技術	液浸露光 + DP/MP, Layout(Cut, Block)					
FEOL成膜技術	ALD, Epi, 低温化, Power Device 高温アニール					
不純物導入技術	固層拡散、プラズマドーピング、低温・高温インプラ					
エッチング技術	ALE、高選択比、難エッチ材料加工、低ダメージ					
洗浄技術	微小パーティクル除去性、パターン倒壊防止					
BEOL成膜技術	ALD、Post Cu Metal (Co、Mn、Ni...etc)、Porous					
CMP技術	新規材料(難CMP材料)、Global・Edge平坦化					
検査・計測技術	ハイブリッド計測 (OCD/CD, 膜厚、X-Ray)、EB					
クリーン化技術	低コスト化、PoP (Point of Process) 管理					

半導体2030年のプロセス展望

Indices	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030
Node*	16/14	10nm	7nm	5nm	3nm	2nm	1.5nm									
Litho	Immersion + Multiple			EUVL Single + Multiple			EUVL + Multiple									
				SMO		DTMO		High NA		DSA		EBDW		NL		
Gate P	90 ~ 70	55 ~ 50	42 ~ 38	32 ~ 28	24 ~ 22	18 ~ 15	13 ~ 11									
FEOL	FinFET (HKMG)					Nanowire/Nano Sheet, Ge/SiGe Chanel...										
	 K. Mistry, et al., IEDM 2003	 RMG	 C. Auth, et al., VLSI tech. 2012	 FinFET	 R. Coquand et al., VLSI tech. 2013	 Nanowire	LGAA		VGAA		Monolithic		Graphene			
							TFET		NcFET		2D Device					
Metal P	64 ~ 52	45 ~ 36	40 ~ 36	28 ~ 24	18 ~ 15	13 ~ 11	10 ~ 8									
BEOL	TFVL , FTFV, SAV			FTFV, SAV, FSAV, SFB			Lower Effective k-Value & Low Resistance Scheme									
				k = 2.4 ~ 2.8			k < 2.4,									
	Ta/TaN Barrier		Co Liner		Co, Ru Via Plug					Co, Cu, Ru Via/Trench Gap Filling						
	 Intel, IEDM2004					 Intel, IITC2012					3DI		k < 2.2		Air Gap	
											Subtractive		CNT Via		Graphene	

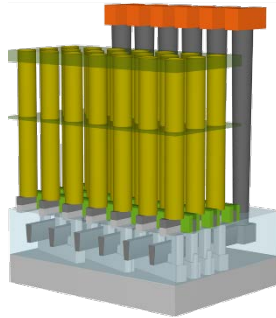
Node* : Foundry Commercial Node

出所: SPE各社HPおよび市場動向より予測・作成

各要素技術の深掘り議論の後に
ロジックデバイス微細化技術動向を議論を開始

半導体2030年のプロセス展望

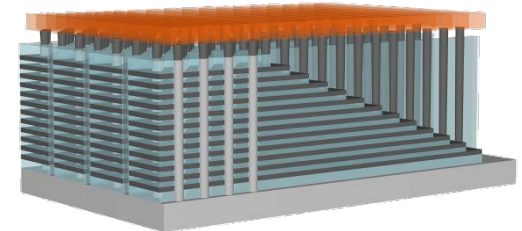
DRAM



18 > 17 > 16 > 15 > 15

- 微細化限界は15nmまで
- Key Challenge要素技術は
 - キャパシタ(過去、材料)
 - パターニング(EUV)
- チップ積層(Memory Cube等)

3D NAND



64 > 96 > 128 > 192 > 256

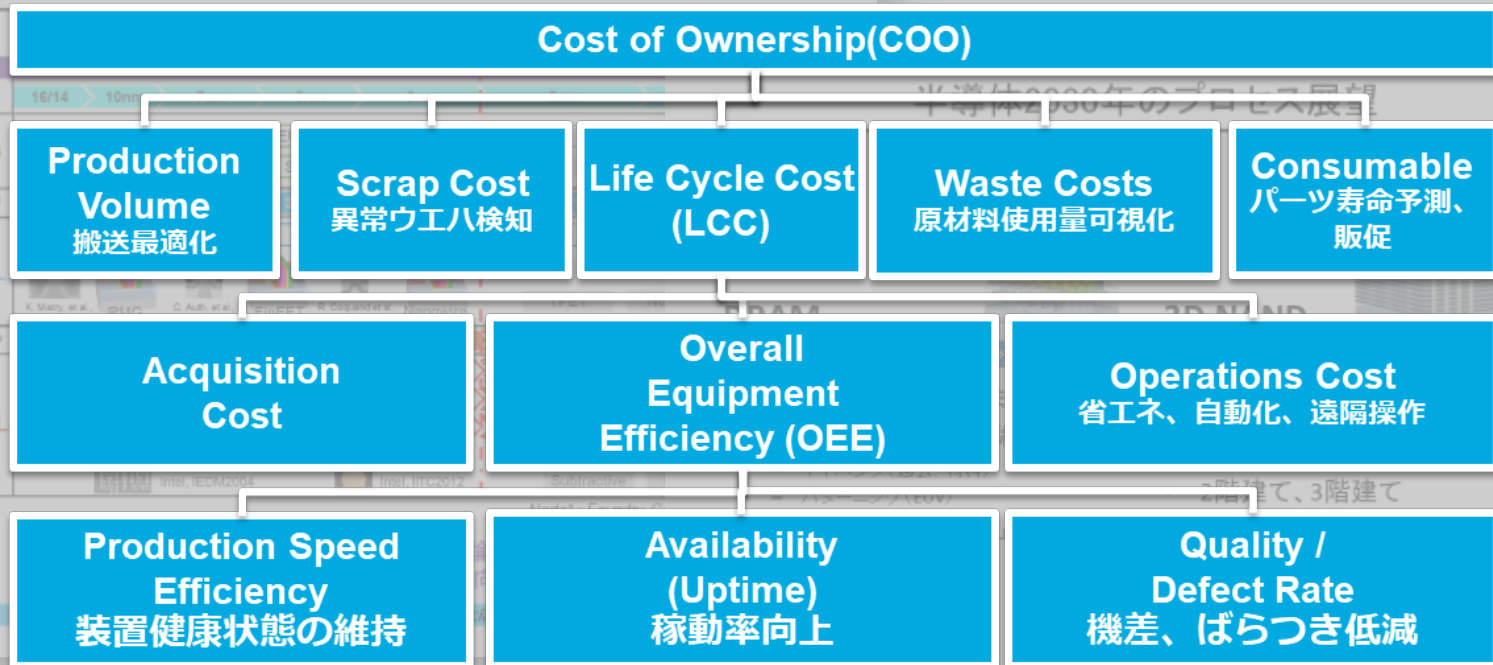
- 積層限界 ~130層
 - 加工限界
 - 経済合理性
- 2階建て、3階建て
 - 積層方法(アライメント)
 - 周辺回路への負担、チップ面積大型化
- 多値化技術(MLC、QLC)
 - 膜質・均一性、垂直形状

1~1.5年/技術ノードで微細化継続

エマージングメモリは既に少量量産は開始されており、アプリ探索(Rampのための)

プロセス展望を知るだけで十分なのか？

半導体2030年のプロセス展望



デバイスメーカー要求は生産性＝低コスト・高歩留まり
動き続ける装置、止まらない装置が我々の顧客要求

半導体製造装置・コンポーネントメーカーへの市場要求

半導体2030年のプロセス展望

Indices	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028
Node*	16/14	10nm	7nm	5nm	3nm	2nm	1.5nm							
Litho	Immersion + Multiple		EUVL Single + Multiple		EUVL + Multiple		EUVL + Multiple		EUVL + Multiple		EUVL + Multiple		EUVL + Multiple	
	SMO		DTMO		High NA		DSA		EBOV					
Gate P	90 ~ 70		55 ~ 50		42 ~ 38		32 ~ 28		24 ~ 22		18 ~ 15		13 ~	
FEOL	FinFET (HKMG)						Nanowire/Nano Sheet, Ge/SiGe Channel							
Metal P														
BEOL														

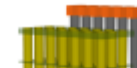
必要条件であり、必要充分ではないのでは！？

各要素技術の深堀り議論の後に
ロジックデバイス微細化技術動向を議論を開始

SEAJ

Semiconductor Equipment Association of Japan

半導体2030年のプロセス展望



- 周辺回路への負担、チップ面積大型化
- 多値化技術 (MLC, QLC)
 - 膜質・均一性、垂直形状

1~1.5年/技術ノードで微細化継続
エマージングメモリは既に少量量産は開始されており、アプリ探索 (Rampのための)

SEAJ

Semiconductor Equipment Association of Japan

半導体微細化技術動向を継続確認・理解は重要なことであるが、
半導体製造装置・コンポーネントメーカーに求められているものは違うのでは！？

SEAJ

Semiconductor Equipment Association of Japan

市場要求を満たすためには



Summary

► Difficult Challenges

- Logic – driver
- Defect monitoring and control at all levels (CIA, UPW, Chemical, AMC)
 - Lack of metrology sub-10 nm particle
 - Critical material quality needs better characterization at the target level of defectivity
 - Proactive risk management is needed to address lack of metrology

► Collaborative Development

- Good process of defect definition with MM in 2017
- Need to continue better understanding of the defect mechanisms and source. Focus on contamination control.
- Need to continue leveraging collaboration within IRDS teams



20

SDRJ YE: 嵯峨様、富田様、白水様、横井様、(近藤委員)、(ニツ木委員)

- ウェーハでの確認が実際のところであるが、デバイス量産現場では材料、インラインで確認・対処したい
- エッチング、インプラ工程での打ち込み汚染の問題顕在化
- 欠陥・汚染を観測する手法を自ら開発して、自身で解決して欲しい

SDRJ YE & ウェーハプロセス専門委員会でX-Cut会議実施
欠陥・コンタミ制御の今後の重要性を議論



Semiconductor Equipment Association of Japan

まとめ

- 参画会社増加、更なるエキスパートメンバを交えての議論活発化
- 2016~2017年、各要素技術のエキスパートによる講演を通じて、技術深堀実施。
- デバイス技術動向をロードマップ化、必要技術モジュールに関して議論
- 我々の顧客であるデバイスメーカ技術動向、ロードマップ把握では充分ではなく、
SDRJ YEメンバとの合同会議により、欠陥・汚染制御の重要性を議論・認識
- 事務局(星野様、後藤様)による多大なるご支援ありがとうございました。

	2014年度	2015年度	2016年度	2017年度
委員会開催数	5回	6回	6回	6回
総時間	101h	124h	145h	174h
出席率	63.2%	64.6%	76.1%	76.3%