

検査 WG

本年度は、半導体技術ロードマップ(ITRS)の全面改訂年度であるため、電子情報技術産業協会(JEITA)半導体技術ロードマップ専門委員会(STRJ-WG2)と連携をとり、テスタ、ウェーハプローバ、プローブカード、ハンドラ、ソケット、という5分野における半導体検査工程の装置ロードマップを改訂した。2009年度版まではWLBI(Wafer Level Burn In)分野の装置ロードマップについても記載していたが、本年度は活動を休止したため、WLBIの内容については2009年度版報告書を参照していただきたい。

第1章 テスタ

微細化・高性能化だけでなく、多様化が進んでいる最近のLSIデバイスのテストに対応するため、LSI設計時にあらかじめSCAN、BIST(Built In Self Test)*等のテスト容易化設計手法(DFT:Design for Testability)を導入することは、テスタへの機能、性能要求を部分的に制限し、テスト・コストを抑えるために有効で、すでに一般化している。今後もその手法は拡大して適用されていくことになるであろう。しかしながら、ファンクションテストや高速IOテスト、アナログ回路など、DFT技術の適用が困難なテスト項目があり、依然としてテスタに対する機能、性能要求は増大している。一方で量産に対応するには同測個数の増加によるテスト効率向上が必須であり、テスタには高機能・高性能化だけでなく、テスト・コストとのバランスをとった多様なテスト工程にフレキシブルに対応することが要求されてきている。

本報告書では、DRAM、フラッシュメモリ、SoC(System on a Chip)という各デバイス向けテスタの技術ロードマップとして、LSIの機能、性能の向上に比例して必要となるテスタの機能、性能要求の傾向をまとめた。本年度は2009年度版から項目の大幅な変更はないが、ITRSに準拠する形で数値の見直しを図った。但し、SoC用テスタの項目のうち、高周波(RF:Radio Frequency)に関する項目については、ITRSとは異なるアプリケーションを想定した内容としている。ITRSではレーダや衛星通信の周波数規格を想定した内容が含まれており、テスタを使用した計測手法を適用するとは考えにくいためである。

なお、ロードマップ上の項目の解説のため、テスタ構造の基礎とテスタ・ロードマップ・パラメータの概要を以下にまとめた。参考としていただきたい。

1-1 テスタ構造の基礎とテスタ・ロードマップ・パラメータの概要

LSIテストのためにメモリ・デバイスにはメモリ・テスタが使用され、ロジック・デバイスには汎用ロジック・テスタが使われている。また、ロジック機能とアナログ機能を内蔵したシステムオンチップ(SoC)はRF信号などを含め多機能なテスト装置でテストされる。

LSIテスタの基本的な構成を図7-1-1に示す。テストプログラムをテスタコントローラであるCPUへロードし各部を制御しながらテスト実行をする。テスタ・リソースとして、被テスト・デバイス(DUT:Device Under Test)へ電源を供給するデバイス電源(DPS: Device Power Supply*)、DUTの直流特性を測定する直流計測器(DC: Direct Current measure)、DUTに信号を入力するドライバ(DR: Driver)、DUTからの出力信号を判定する比較器(COMP: Comparator)を有する。このドライバとコンパレータを1ピン毎に併せ持った構造はピン・エレクトロニクスと称されている。ピン・エレクトロニクスは実時間で入出力を切り替える機能を持つ。テスタは、テスト・データ

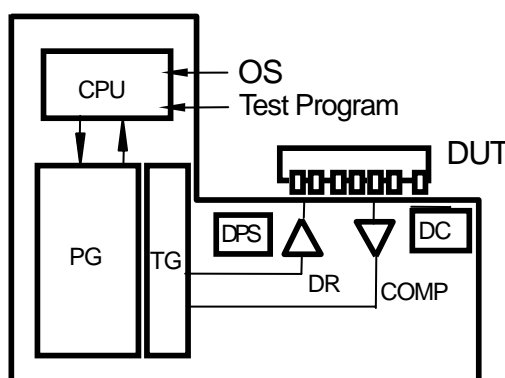


図 7-1-1 LSI テスタの基本構成
Figure 7-1-1 Basic Architecture of LSI Tester

検査

を生成するパターン発生器(PG: Pattern Generator)、テスト・データの時間的な印加タイミングや判定タイミングを発生するタイミング発生器(TG: Timing Generator)を有している。

LSI テスタは、LSI の動作速度の高速化に伴った高速動作テストの機能が要求されている。また、テスト・コスト削減に対しては、同時測定やその他のテスト手法が取り込まれ^[12]、コンカレント・テスト*技術も様々な提案がなされている^[3]。

しかし LSI テスタが高速化しピン数が大幅に増加していくと装置コストの削減には限界が生じており、これらに対する課題をロードマップとしてとりまとめる。

LSI テスタのカテゴリとして測定対象の DUT の特徴に合わせ汎用 DRAM 用テスタ、フラッシュメモリ用テスタ、SoC 用テスタに大別される。汎用 DRAM 用テスタは、アクセス速度の高速化かつテスト・コスト削減のために同時測定対応が特徴。フラッシュメモリ用テスタは、セルサイズの微細によりメモリ容量が増大しテスト時間が長大化する為に同時測定対応が特徴。SoC 用テスタはロジック、アナログ、RF 混載された DUT を測定するためにテスタ機能が様々な構成になっていることが特徴になっている。

さて、テスタは半導体のロードマップに合わせて対応して開発されていかなければならないが、以下のテスタ・ロードマップのパラメータ概要を図 7-1-1 LSI テスタの基本構成に合わせて説明する。

まずは、PG でのテスト動作スピードであるが、それはデータレート(Data rate)として表示した。次に、TG であるが、その精度をタイミング精度(Accuracy OTA)とタイミング発生器設定分解能(Timing Resolution)として表示している。DR では、その発生できる最小のパルス幅としてドライバ最小パルス幅(Driver minimum pulse width)とし、その立ち上がり時間/立ち下がり時間をドライバ Tr/Tf (Driver Tr/Tf)としている、COMP は等価的波形を観測できる立ち上がり時間/立ち下がり時間としてコンパレータ等価入力立ち上がり時間(Comparator equivalent Tr/Tf)と表現している。DPS では、それが発生可能な電圧値としてデバイス用電源電圧(Device power supply voltage)として記載した。その精度を電源電圧精度(Device power supply accuracy)とした。DC では、それが測定できる電圧精度及び電流精度を DC パラメトリックテスト測定電圧精度(DC parametric test voltage measurement accuracy)および DC パラメトリックテスト測定電流精度(DC parametric test current measurement accuracy)とした。

1-2 ロードマップ検討範囲

従来から引き続き行っている汎用 DRAM テスタ、フラッシュメモリ用テスタ、SoC 用テスタの技術ロードマップの見直しを行った。2005 年度版ではテスト・コスト削減対策の一案として DFT を前提とした低コスト SoC 用テスタのロードマップを検討した。2007 年度版では LCD ドライバ IC 用テスタのロードマップを検討した。しかしながら、これらは、従来技術を用いることで対応可能との結果であり、技術ロードマップとして技術発展に寄与すべき内容に乏しいため、従来の主力 3 種のロードマップ見直しとした。

今回の改訂では、450mm ウェーハの導入年を 2014 年として検討している(2009 年度版と同様)。また、ITRS2011 の Test&Test Equipment 章の表に準拠する形でのロードマップ見直しとした。

1-3 汎用 DRAM 用テスタ

1-3-1 ロードマップ

表 7-1-1 汎用 DRAM 用テスタ・ロードマップ

Table 7-1-1 DRAM Tester Roadmap

	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
DRAM 1/2 Pitch (nm)	36	32	28	25	23	20.0	17.9	12.6	8.9	6.3
Flash1/2 Pitch (nm)	22	20	18	17	15	14.2	13.0	10.0	8.0	8.0
MPU M1 1/2 Pitch (nm)	38	32	27	24	21	18.9	16.9	11.9	8.4	6.0
Data rate (Gb/s) DDRモードでのbit/secとした。										
Leading edge	2.9	2.9	3.8	4.8	4.8	5.8	5.8	9.6	15.3	15.3
Mass production	1.6	1.6	2.1	2.7	2.7	3.2	3.2	5.4	8.5	8.5
Accuracy OTA (±ps) データレートとの20%とした。										
Leading edge	69	69	53	42	42	30.0	30.0	20.0	10.0	10.0
Mass production	125	125	95	74	74	62.5	62.5	30.0	20.0	20.0
Driver minimum pulse width (ns) データレートに対応する周期とした。0.8Vp-p/50Ω終端。										
Leading edge	0.34	0.34	0.3	0.2	0.2	0.17	0.17	0.10	0.07	0.07
Mass production	0.63	0.63	0.48	0.37	0.37	0.3	0.3	0.19	0.12	0.12
Driver Tr/Tf (20%-80%, ns) 最小パルス幅の約40%とした。0.8Vp-p/50Ω終端。										
Leading edge	0.14	0.14	0.11	0.08	0.08	0.07	0.07	0.04	0.03	0.03
Mass production	0.25	0.25	0.19	0.15	0.15	0.13	0.13	0.07	0.05	0.05
Comparator equivalent Tr/Tf (20%-80%, ns) ドライバTr/Tfと同値とした。0.8Vp-p/50Ω終端。										
Leading edge	0.14	0.14	0.11	0.08	0.08	0.07	0.07	0.04	0.03	0.03
Mass production	0.25	0.25	0.19	0.15	0.15	0.13	0.13	0.07	0.05	0.05
Timing Resolution (ps) 総合タイミング精度(絶対値)の10%程度とした。										
Leading edge	6.9	6.9	5.3	4.2	4.2	3.0	3.0	2.0	1.0	1.0
Mass production	12.5	12.5	9.5	7.4	7.4	6.3	6.3	3.0	2.0	2.0
Device power supply voltage (V)										
Mass production	5	5	5	5	5	5	5	5	5	5
Device power supply accuracy										
Mass production	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)
Driver voltage accuracy										
Mass production	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)
Comparator voltage accuracy										
Mass production	±(0.3%+5mV)	±(0.3%+5mV)	±(0.3%+5mV)	±(0.3%+5mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)
DC parametric test voltage measurement accuracy										
Mass production	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)
DC parametric test current measurement accuracy										
Mass production	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)
Number of tester channels (k-pin) : 電源とGNDを除くデジタル信号チャンネル数										
Mass production	12.0	12.0	16.0	16.0	16.0	16.0	16.0	21.0	21.0	21.0
Number of multi-site / test head										
Mass production	1152	1152	1536	1536	1536	1536	1536	2048	2048	2048
System power consumption (ratio over 2011)										
Mass production	1.00	1.00	1.15	1.15	1.15	1.15	1.15	1.3	1.3	1.3
System power consumption per a DUT (ratio over 2011)										
Mass production	1.00	1.00	0.87	0.87	0.87	0.87	0.87	0.77	0.77	0.77
System foot print (ratio over 2011)										
Mass production	1.00	1.00	1.00	1.00	2.25	2.25	2.25	2.25	2.25	2.25
Weight of test head (kg) 上限はプローバ(現有方式)の耐荷重量とした。										
Mass production	~1000	~1000	~1000	~1500	~1500	~1500	~1500	~1500	~1500	~1500

Manufacturable Solution Exist, and Are Being Optimized	
Manufacturable Solutions are Known	
Manufacturable Solutions are NOT Known	
Interim Solutions are Known	

1-3-2 課題と解決策

DRAM のファンクションテストは、大きくインターフェース部分とコア部分に分けることが出来る。ロードマップに示したような Data rate(動作周波数)、Accuracy(精度)等が要求されるのは、インターフェース部分のテストで、このテストには高性能なメモリ・テスタが要求される。一方、コア部分に関しては、インターフェース部分に必要とされるような高性能な機能は必要とされないが 検査時間が長く同時測定の取組みが要求される。DUT 側に BIST 機能の組み込むことで、ピン数を削減でき、同時測定数を増加させている。(1-4-2 参照) さらにテスト・コスト削減のためにインターフェース部のみを高価な高機能テスタで検査し、安価なテスタでコア部分を測定する 2 工程化の傾向がある。

DRAM 検査をウェーハ工程とパッケージ工程に分けて考えた場合の技術課題を図 7-1-2 に示す。ウェーハ検査工程では、プローブカード等の環境的な問題もあるため、一般的にコアのみのテストが実施される。同時測定

検査

数増加時の課題は、プローブカード・コスト、テストのピン数や電源数の増加による大型化、DUT の消費電力増大があげられる。特にテストのピン数については、表 7-1-1 からわかるように、同時測定数は 2013 年に 1536 個、2020 年には 2048 個に増加すると想定しているものの、テストのチャンネル数は 16000 ピンを限界としており、最大同時測定数における DUT 1 個当たりに割り当てられるピン数は 7 ピン～10 ピンまでで頭打ちとなる予想である。最大同時測定数において、DUT が有する全てのピンにテストピンが割り当てられない状況は今後も継続する。そのため半導体各メーカーは、入力ピンを他 DUT とシェアすることによりテストのドライバピンを有効活用し、DUT 内部にテスト専用機能を備え、測定 IO ピンを縮小させることによりテストのチャンネル数を最小限に抑える工夫をしている。

また、プローブカードのコンタクト・コスト削減の進み具合により同時測定数の増加時期については今後の動向を見ていく必要がある。テスト時間短縮の課題としてはテスト周波数アップや不良ビットの救済機能の高速化があげられる。

パッケージ検査工程では、前述の通りインターフェース部とコア部の 2 工程にわたる取組みがある。インターフェース部に関しては、高速動作やタイミング精度を要求され、ハイエンドテストが必要であり、装置のコストダウンが課題となる。また、検査時間が短いため、同時測定数の増加によるハンドラのインデックス時間の増大が課題となっている。コア部に関しては、ウェーハ工程と同様の課題がある。

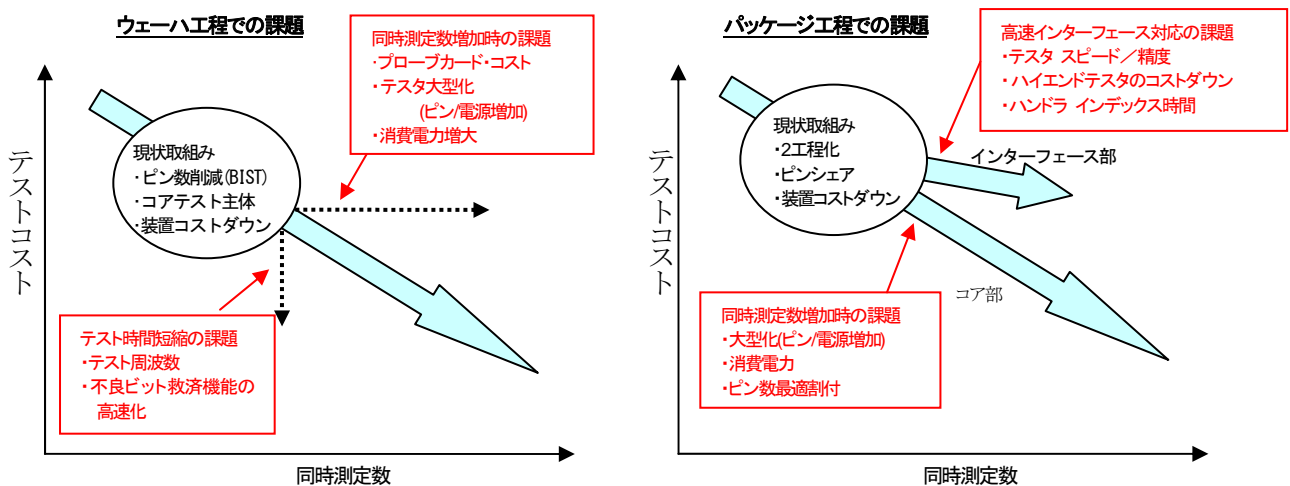


図 7-1-2 DRAM の検査工程別課題
Figure 7-1-2 Challenge of DRAM Test

1-4 フラッシュメモリ用テスタ

1-4-1 ロードマップ

表 7-1-2 フラッシュメモリ用テスタ・ロードマップ

Table 7-1-2 Flash Memory Tester Roadmap

	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
DRAM 1/2 Pitch (nm)	36	32	28	25	23	20.0	17.9	12.6	8.9	6.3
Flash1/2 Pitch (nm)	22	20	18	17	15	14.2	13.0	10.0	8.0	8.0
MPU M1 1/2 Pitch (nm)	38	32	27	24	21	18.9	16.9	11.9	8.4	6.0
Data rate (Gb/s)										
Mass production	0.2	0.266	0.266	0.333	0.333	0.4	0.4	0.533	0.53	0.53
Accuracy OTA (±ps) データレートとの10%程度とした。										
Mass production	500	376	376	300	300	250	250	188	188	188
Driver minimum pulse width (ns) データレートに対応する周期とした。										
Mass production	5.0	3.8	3.8	3.0	3.0	2.5	2.5	1.9	1.9	1.9
Driver Tr/Tf (20%-80%, ns) 最小パルス幅の約40%とした。										
Mass production	2.0	1.5	1.5	1.2	1.2	1.0	1.0	0.8	0.8	0.8
Comparator equivalent Tr/Tf (ns) ドライバTr/Tfと同値とした。										
Mass production	2.0	1.5	1.5	1.2	1.2	1.0	1.0	0.8	0.8	0.8
Timing Resolution (ps) 総合タイミング精度(絶対値)の10%程度とした。										
Mass production	50	38	38	30	30	25	25	19	19	19
Pattern match minimum rate (ns) *2										
Mass production	200	200	200	200	200	200	200	200	200	200
Device power supply voltage (V) Vppを想定して、デバイスのtyp動作電圧値の8倍程度とした。										
Mass production	10	10	10	10	10	10	10	10	10	10
Device power supply accuracy										
Mass production	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)
Driver voltage accuracy										
Mass production	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)
Comparator voltage accuracy										
Mass production	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)	±(0.6%+10mV)
DC parametric test voltage measurement accuracy										
Mass production	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)
DC parametric test current measurement accuracy										
Mass production	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)
High voltage driver voltage (V)										
Mass production	12	12	12	12	12	12	12	12	12	12
Number of tester channels										
Mass production	3400	3400	3400	3400	3400	3400	3400	3400	3400	3400
Number of multi-site / test head ストレージ用フラッシュメモリの同時測定個数とした。										
Mass production	1024	1024	1536	1536	1536	2048	2048	2048	2048	2048
System power consumption (ratio over 2009)										
Mass production	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00
System power consumption per a DUT (ratio over 2011)										
Mass production	1.00	1.00	0.67	0.67	0.67	0.50	0.50	0.50	0.50	0.50
System foot print (ratio over 2009)										
Mass production	1.00	1.00	1.05	1.05	1.05	1.10	1.10	1.10	1.10	1.10
Weight of test head (kg)										
Mass production	~600	~600	~600	~600	~600	~600	~600	~600	~600	~600

Manufacturable Solution Exist, and Are Being Optimized	
Manufacturable Solutions are Known	
Manufacturable Solutions are NOT Known	
Interim Solutions are Known	

1-4-2 課題と解決策

フラッシュメモリ価格の低減化傾向は引き続き著しいものの、その傾向は DRAM に比べると緩やかである。これは DRAM のほとんどが PC やモバイル等の最終製品に組み込まれて流通されるのに対して、フラッシュメモリ (NAND) は最終製品の他に、USB フラッシュメモリや SD カード等の単体製品として流通しており、この応用分野の違いの顕れである。DRAM メーカーが、DRAM 事業だけでビジネスを安定させることが困難な状況から、DRAM メーカーのフラッシュメモリ事業の取り込みが進んでいる。DRAM メーカーが、DRAM 事業とフラッシュメモリ事業の両方を手掛けることで、生産ラインの割り当てを変更し、需要に合わせた製品を生産できる利点はあるが、その結果としてフラッシュメモリメーカー間の市場競争が激化し、新たな価格競争を招くことが懸念される。そのため、フラッシュメモリメーカーは、これまで以上に強力にテスト・コスト削減の努力を講じて行く必要がある。

テスト・コスト削減のために同時測定数の増大を図っていく傾向は汎用 DRAM 用テスタの同様である。表 7-1-3 にフラッシュメモリ用テスタと汎用 DRAM テスタとの特徴的な差異をそれぞれ3年間の範囲でロードマップから抜き

検査

出してまとめた。同時測定数(Number of multi-site / test head)はフラッシュメモリも DRAM も 2011 年の 1000 個程度から 2013 年に 1.5 倍に増加すると予想される。フラッシュメモリ用テスタは DRAM テスタに比べて少ないテストチャンネル数で同時測定数を実現している。これは、DFT 技術の差異に起因している。また、DRAM は、DDR(Double Data Rate)に代表される様に高速動作対応に牽引されてさらに高速に推移するのに対し、フラッシュメモリの Data rate はそれ程高速化しないことも、フラッシュメモリへの DFT 技術導入を比較的容易にしている。メモリ容量(Capacity)については、引き続きフラッシュメモリの大容量化が求められている。大容量化に伴うテスト時間の増加が課題となるが、テストレートを短縮させて(テスト周波数を上げて)テスト時間を短縮する対策も進められている。

自己テスト機能をデバイス内部に組み込む技術(DFT 技術)は、テスト機能を絞った低価格なテスタが使えることや、テストピンが削減できることで同時測定数を増大させること等から、テスト・コスト削減に対する寄与度は高い。

フラッシュメモリでは DFT 技術の一つとして BIST 機能を搭載している。一般に BIST 回路を搭載するとチップ面積が増大して、ウェーハ当たりの取得チップ数が減少するデメリットがあるが、プロセス微細化と、フラッシュメモリの特徴であるセルサイズの小型化等から、BIST 搭載してもチップ寸法が許容範囲に収まる。このために、BIST 搭載に積極的なデバイスメーカーでは、BIST を使用したウェーハテスト対応によりテスト・コストの削減を実現している。

一方、BIST を使用したファイナルテスト対応は一つの将来方向ではあるが、現状のファイナルテストでは、応用製品の種類(各種ストレージ、携帯音楽プレイヤー、携帯電話、SSD(Solid State Drive)等)によって決まる製品価格や品質保証の必要性にあわせたテスト方法が選択されている。BIST によるテストの他に、メモリ・テスタを使用するテスト、フラッシュメモリ内蔵 SoC の様にロジック・テスタを使用するテスト、BOST(Built Out Self Test)*を併用するテスト等それぞれ使い分けられている。

フラッシュメモリでは DFT 技術導入によりテスト・コスト削減を実現してきているが、フラッシュメモリのさらなる大容量化、同時測定数の増大に対応して行くには、DFT 技術の進歩が今後のテストの大きな鍵になることはフラッシュメモリも変わらない。

表 7-1-3 フラッシュメモリ用テスタと汎用 DRAM テスタの比較

Table 7-1-3 Comparizon of Flash Memory Tester and DRAM Tester

	フラッシュメモリ用テスタ(Mass Production)			汎用 DRAM 用テスタ(Mass Production)		
	2011	2012	2013	2011	2012	2013
Number of tester channels	3400	3400	3400	12000	12000	16000
Number of multi-site/test head	1024	1024	1536	1152	1152	1536
Data rate (Gb/s)	0.2	0.266	0.266	1.6	1.6	2.1
Capacity (Gbits)	64	128	128	4	4	4

1-5 SoC用テスタ

1-5-1 ロードマップ

表 7-1-4 SoC 用テスタ・ロードマップ

Table 7-1-4 SoC Tester Roadmap

	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
DRAM 1/2 Pitch (nm)	36	32	28	25	23	20.0	17.9	12.6	8.9	6.3
Flash1/2 Pitch (nm)	22	20	18	17	15	14.2	13.0	10.0	8.0	8.0
MPU M1 1/2 Pitch (nm)	38	32	27	24	21	18.9	16.9	11.9	8.4	6.0
Data rate (Gb/s) DDRモードでのbit/secとした。大量生産は先端技術の1/1.8とした。										
Leading edge	2.9	2.9	3.8	4.8	4.8	5.8	5.8	9.6	15.3	15.3
Mass production	1.6	1.6	2.1	2.7	2.7	3.2	3.2	5.4	8.5	8.5
Accuracy OTA (±ps) 総合タイミング精度はデータレートの20%とした。										
Leading edge	69	69	53	42	42	30.0	30.0	20.0	10.0	10.0
Mass production	125	125	95	74	74	62.5	62.5	30.0	20.0	20.0
Driver minimum pulse width (ns) データレートに対応する周期とした。0.8Vp-p/50Ω終端。										
Leading edge	0.34	0.34	0.3	0.2	0.2	0.17	0.17	0.10	0.07	0.07
Mass production	0.63	0.63	0.48	0.37	0.37	0.3	0.3	0.19	0.12	0.12
Driver Tr/Tf (20%-80%.ns) 最小パルス幅の約40%とした。0.8Vp-p/50Ω終端。										
Leading edge	0.14	0.14	0.11	0.08	0.08	0.07	0.07	0.04	0.03	0.03
Mass production	0.25	0.25	0.19	0.15	0.15	0.13	0.13	0.07	0.05	0.05
Comparator equivalent Tr/Tf (ns) ドライバTr/Tfと同値とした。0.8Vp-p/50Ω終端。										
Leading edge	0.14	0.14	0.11	0.08	0.08	0.07	0.07	0.04	0.03	0.03
Mass production	0.25	0.25	0.19	0.15	0.15	0.13	0.13	0.07	0.05	0.05
Timing Resolution (ps) 総合タイミング精度(絶対値)の10%程度とした。										
Leading edge	6.9	6.9	5.3	4.2	4.2	3.0	3.0	2.0	1.0	1.0
Mass production	12.5	12.5	9.5	7.4	7.4	6.3	6.3	3.0	2.0	2.0
Clock signal frequency (GHz) : 特定ピンを含みテスタで発生可能な最高クロック周波数										
Mass production	10.0	10.0	10.0	10.0	10.0	15.0	15.0	20.0	25.0	25.0
Driver voltage accuracy										
Mass production	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.5%+8mV)	±(0.3%+5mV)	±(0.3%+5mV)	±(0.3%+5mV)	±(0.1%+4mV)	±(0.1%+4mV)
Comparator voltage accuracy										
Mass production	±(0.3%+5mV)	±(0.3%+5mV)	±(0.3%+5mV)	±(0.3%+5mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)	±(0.1%+4mV)
Number of tester channels (k-pin): 電源とGND端子を除くデジタル信号チャンネル数										
Mass production	2.0~4.0	2.0~4.0	2.0~4.0	2.0~4.0	4.0~8.0	4.0~8.0	4.0~8.0	4.0~8.0	8.0~16.0	8.0~16.0
Number of multi-site / test head (Low Performance - MCU, MPU, ASIC 100pinのPackage test対応可能なマルチ数)										
Mass production	32	64	64	64	128	128	128	128	128	128
Vector memory depth (M-word/pin) : 全ピン対応テストパターン用										
Mass production	384	384	576	576	576	865	1295	1943	1943	1943
Scan vector memory depth (M-word/pin): スキャンパターン用										
Mass production	384	384	576	576	576	865	1295	1943	1943	1943
DC parametric test voltage measurement accuracy										
Mass production	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)	±(0.1%+3mV)
DC parametric test current measurement accuracy										
Mass production	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)	±(0.5%+6nA)
Device power supply voltage (V)										
Mass production	5	5	5	5	5	5	5	5	5	5
Device power supply accuracy										
Mass production	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)	±(0.1%+2mV)
Low frequency analog AWG (arbitraty waveform generator)										
Band Width (Hz)										
Mass production	20K	20K	20K	20K	20K	20K	20K	20K	20K	20K
Sample rate (ks/s)										
Mass production	1M	1M	1M	1M	1M	1M	1M	1M	1M	1M
Resolution (number of bit at 1kHz) : DSP computation to 24 bits, effective number of bits limited by noise floor										
Mass production	24	24	24	24	24	24	24	24	24	24
Noise floor (dB@BW)										
Mass production	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB
Number of Low f ADC channels (core number/device x multi-site)										
Mass production	16	16	16	16	16	16	16	16	32	32
High frequency analog AWG (arbitraty waveform generator)										
Band Width (MHz)										
Mass production	85MHz	85MHz	85MHz	85MHz	170MHz	170MHz	170MHz	170MHz	170MHz	170MHz
Sample rate (Ms/s)										
Mass production	300	300	300	300	500	500	500	500	500	500
Resolution (number of bit)										
Mass production	16	16	16	16	16	16	16	16	16	16
Noise floor (dB@BW)										
Mass production	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB
Number of High f ADC channels (core number/device x multi-site)										
Mass production	3	4	4	4	4	5	5	5	5	5

表 7-1-4 SoC 用テスタ・ロードマップ (つづき)
Table 7-1-4 SoC Tester Roadmap (continued)

	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
DRAM 1/2 Pitch (nm)	36	32	28	25	23	20.0	17.9	12.6	8.9	6.3
Flash1/2 Pitch (nm)	22	20	18	17	15	14.2	13.0	10.0	8.0	8.0
MPU M1 1/2 Pitch (nm)	38	32	27	24	21	18.9	16.9	11.9	8.4	6.0
Low frequency analog signal digitizer										
Band Width (MHz)										
Mass production	20K	20K	20K	20K	20K	20K	20K	20K	20K	20K
Sample rate (ks/s)										
Mass production	1M	1M	1M	1M	1M	1M	1M	1M	1M	1M
Resolution (number of bit)										
Mass production	16	16	16	16	16	16	16	16	16	16
Noise floor (dB@BW)										
Mass production	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB	-110~120dB
Number of Low f DAC channels (core number/device x multi-site)										
Mass production	4	4	4	4	4	4	4	4	4	4
High frequency analog signal digitizer										
Band Width (MHz)										
Mass production	100MHz	100MHz	100MHz	100MHz	200MHz	200MHz	200MHz	200MHz	200MHz	200MHz
Sample rate (ks/s)										
Mass production	200Msps	200Msps	200Msps	200Msps	400Msps	400Msps	400Msps	400Msps	400Msps	400Msps
Resolution (number of bit)										
Mass production	16	16	16	16	18	18	18	18	18	18
Noise floor (dB@BW)										
Mass production	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB	-80dB
Number of High f DAC channels (core number/device x multi-site)										
Mass production	5	5	5	5	5	5	5	5	5	5
ALPG:(X/Y/Z)										
Mass production	18/18/6	18/18/6	18/18/6	18/18/6	18/18/6	18/18/6	18/18/6	18/18/6	18/18/6	18/18/6
IDDDQ *1										
Mass production	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic
Jitter (ps RMS)										
Mass production	10ps	10ps	10ps	10ps	10ps	10ps	10ps	5ps	5ps	5ps
Band Width (MHz)										
Mass production	25000	30000	30000	30000	40000	50000	60000	60000	60000	60000
RF (Radio Frequency)										
Carrier Frequency (GHz)										
Mass production	12	14	14	14	14	16	18	18	18	18
Modulation RF band width (MHz)										
Mass production	~80MHz	~80MHz	~100MHz	~160MHz	~160MHz	~1760MHz	~1760MHz	~1760MHz	~1760MHz	~1760MHz
Amplitude accuracy (<dB)										
Mass production	0.5	0.25	0.25	0.25	0.25	0.25	0.125	0.125	0.125	0.125
RF port number <ch										
Mass production	16	16	20	20	24	28	32	32	32	32
Phase Noise (dBc/Hz @100k offset)										
Mass production	-140	-145	-148	-150	-150	-152	-152	-152	-152	-152
Error Vector Magnitude 3G/4G (%)										
Mass production	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
OIP3 (dBm)										
Mass production	36	36	36	36	36	36	36	36	36	36
IIP3 (dBm)										
Mass production	60	60	60	60	60	60	60	60	60	60
System power consumption (ratio over 2011)										
Leading edge	1.00	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4
Mass production	1.00	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4
System power consumption per a DUT (ratio over 2011)										
Mass production	1.00	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4	0.7~1.4
System foot print (ratio over 2011)										
Mass production	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00
Weight of test head (kg)										
Mass production	~750	~750	~750	~1000	~1000	~1000	~1000	~1000	~1000	~1000

Manufacturable Solution Exist, and Are Being Optimized
 Manufacturable Solutions are Known
 Manufacturable Solutions are NOT Known
 Interrim Solutions are Known

【コメント】

注 1. IDDDQ

従来の IDDDQ テストに対する ΔIDDDQ 方式*や IDDDQ-Ratio 方式*などの工夫にも限界を生じ、新しい手法が必要になるが、ポスト IDDDQ 方式は研究レベルにあり、実用レベルに至っていない。

1-5-2 課題と解決策

生産性向上の観点では、SoC用テストの高速テスト対応と テスト・コスト削減目的の同時測定数のアップとを両立させる要求が強くなる。テスト高速化対応では特にインターフェース部の小振幅、双方向、多値レベルの対応が課題となっており、テスト装置はハイエンドクラスの性能が必要となる。SoCデバイスの特徴であるRF部やミックスド・シグナル(MIX)部を同時測定する為、テスト装置の多機能化、多チャンネル化が必要となりSoC用テストがさらに高額化する傾向となる。一方、テスト装置以外にもデバイス測定周辺部(ソケットやプローブカード)の伝送特性改善、同時測定による干渉改善、電源やグランドの強化など技術的な課題があり、SoCデバイスのテストは、エンジニアリング等OH(オーバーヘッド)の増加、TAT(Turn Around Time)の増加などテスト・コストの増加につながっている。

これら課題を回避する為、SoCテスト分野ではテスト目的により複数工程のテストを導入することでSoC用テストが全機能、全性能を兼ね備えなくてもテストカバレッジを確保する取組みがある。しかし、テスト工程が増えることによるエンジニアリングの増加が課題であり、少量多品種で同一品種の生産期間が短いことが特徴のSoCデバイスのテストには最適なテスト手法とは言えない状況である。

SoCデバイスの分野が多岐にわたってある為 BIST回路の多様化が必要という課題もある。

そこで近年様々な工夫が提案・開発されているが、上流設計における今後の期待と課題の一つとしてアナログDFT、アナログ BIST の開発が挙げられる。一部のアナログ ATE(Automated Test Equipment)をデジタル ATE へ置き換えてテストを可能とする試みも SoC 用テストの低コスト化への期待が持てる。

しかし、アナログ DFT、アナログ BIST にはまだまだ課題が多く、低コスト化への貢献度は低い段階であり、現状では SoC の進化に伴い、そのテストに要求される高機能、高精度な SoC 用テストが必要となっている。

また、大規模化、高機能化が益々進む SoC デバイスをテストする場合、一般的に、そのテスト時間を短縮する目的で実使用状態よりも回路の活性化率が高いため様々な課題に直面している。大電流消費による電圧降下、発熱、ノイズや信号遅延の発生による誤診断など、オーバーキル(過剰検出)による歩留低下だけでなく、例えば信号遅延の増加によってテスト抜けが生じ、不良品の流出に繋がる恐れも有り得る。

これらの課題を解決するには DFT 設計における非同期回路への対応や電源制御考慮、高精度な実速度テストなど設計ツール(EDA: Electronic Design Automation)の更なる進歩に委ねられる部分が多いのが現状である。

しかし上記誤判定の原因には設計、DFT に起因するものだけではなく、例えばテストのピン間スキュー(タイミングずれ)の不整合に起因する場合も有り得る。

上記のように SoC テストにおいては設計の段階で考慮すべき課題(設計生産性向上、歩留まり向上、テスト・コスト削減、テスト品質向上など)が多いが、これらを解決するには上流設計(DFT、BIST)と SoC 用テストがより協調性を深めて取り組む必要があると考えられる。

SoCデバイスの高速動作および同時測定時のテスト課題を図7-1-3にまとめる。

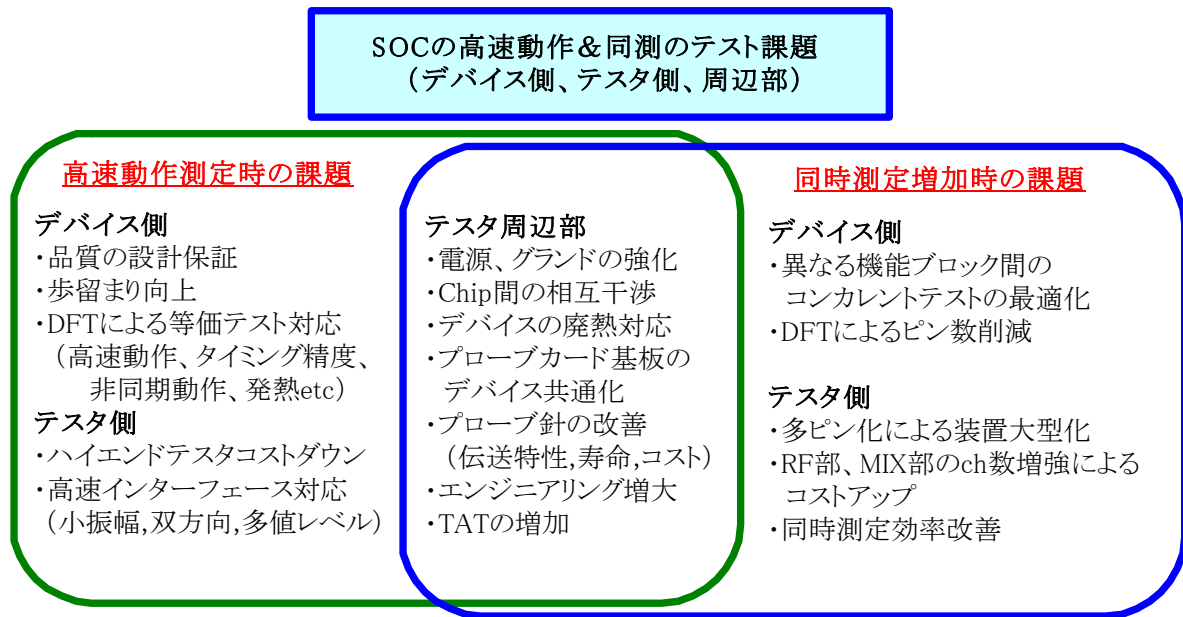


図 7-1-3 SoC のテスト課題(高速動作、同時測定)

Figure 7-1-3 Challenge of SoC Test

用語説明

- 1) BIST (Built In Self Test)
デバイスの内部にテスト回路を組み込むことにより、自己テストを行う手法。
- 2) DPS (Device Power Supply)
被試験デバイスに電源を供給するためのテスト計測部の一部。
- 3) コンカレント・テスト
同時に複数のブロックの機能をテストすること。
- 4) BOST (Built Out Self Test)
テストボード上にテスト計測機能を組み込むことによりデバイスの自己テストを行う手法
- 5) ΔIDDQ
被測定デバイスに対し、X 軸にテストベクタ番号、Y 軸にテストベクタ間での電源電流測定値差分(ΔIDDQ)をグラフ化し、良品のそれと比較して IDDQ 異常の有無を検出する方式。
- 6) IDDQ-Ratio 方式
X 軸にサンプル 1、Y 軸にサンプル 2 を取り、テストベクタ毎の電源電流測定値(IDDQ)をプロットし、分散図からサンプル間のプロセス変動を検出する方式。

参考文献

- [1] H. Hashempour, F. J. Meyer, F. Lombardi, and F. Karimi, "Hybrid Multisite Testing at Manufacturing," Proc. International Test Conference, pp. 927-936, Oct. 2002.
- [2] A. C. Evans, "Application of Semiconductor Test Economics, and Multisite Testing to Lower Cost of Test," Proc. International Test Conference, pp. 113-123, Sep. 1999.
- [3] J. Rivoir, "Lowering Cost of Test: Parallel Test or Low-Cost ATE?," Proc. 12th Asian Test Symposium, pp. 360-363, Nov. 2003.

第2章 ウェーハプローバ

ウェーハプローバは装置上に固定されたプローブカードを媒体として、電氣的に接続されたテストによりウェーハ上のデバイスを測定するためのウェーハ搬送位置決め装置である。

テストのテストヘッド、プローブカードとウェーハの媒体となる装置であるため、装置仕様はそれぞれの寸法、仕様の動向に密接な関係を持っていると同時に、プローバ自体も単なる位置決め装置の枠を越え、ウェーハライメント、プローブカードアライメントはもとより、自動化を促進するためのプローブカード搬送や、テスト結果の統計的な処理に依る動作状態の変更、プロービング動作にて生じた針跡の良否判定など様々な付加価値を求められる。

近年の半導体集積回路の微細化や大規模化に伴い、位置決め装置としてさらなる位置認識技術や機械的精度の向上、デバイスの多ピン化に伴うテストのテストヘッド重量の増大やプローブカードの接触圧力増加等の要因に依る機械強度の確保ならびにウェーハチャックの質量増加に対する移動加速度に依る振動の抑制、半導体デバイスのパッケージ技術進化に伴うウェーハ厚みの減少に対する搬送技術の追随、プローブカード形態の多様化に対するプローブ先端位置認識技術の向上、全面一括コンタクタの実用化による効率的な装置形態、デバイスの省電力化や高速化に伴うノイズの抑制、ミニファブの概念から要求される装置フットプリントの抑制や省電力化等々、様々な観点から相反する装置要素の調和とそれを実現するブレークスルーが求められている。

図 7-2-1-a,b に典型的なプローバ・プローブカード及びテストの接続概要図を示す。

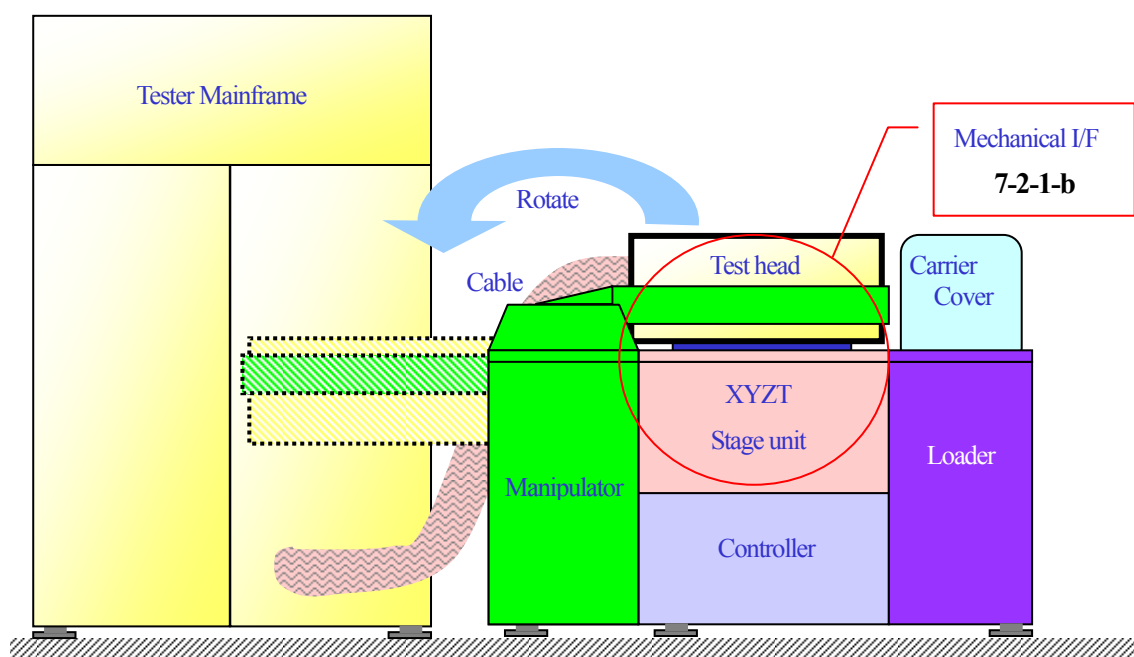


図 7-2-1-a 概観

Figure 7-2-1-a Overview

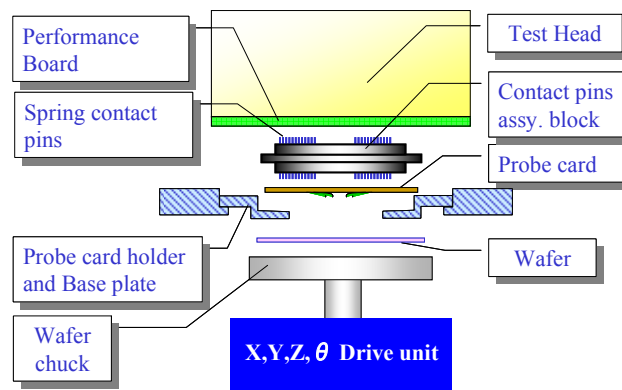


図 7-2-1-b 接続部

Figure 7-2-1-b Mechanical Interface

2-1 技術ロードマップ

2-1-1 検討範囲

ITRS に記載されるプローブカードに対する要求内容からデバイスに対する測定のトレンドを考慮し、またプローバ単独での被試験デバイス・テスト・プローブカード等に対するインターフェースの整合性を検討の範囲とした。

本改訂では、ITRS2011 の Test&Test Equipment 章の表に準拠する形でのロードマップ見直しとした。

2-1-2 検討項目・内容

(1) DUT の動向との関係

ITRS のロードマップに掲題されている項目に加え、ウェーハの搬送系の動向を調査。ウェーハ直径・ウェーハ厚み・キャリアの関係について検討した。

プローバの基本的な構造は半導体デバイスの種類に大きくは依存しないが、同時測定数の増加はプローブカード自体の大口径化やコンタクト PIN 数の増加を招く為、装置としては強度等の点でコスト増加の方向に進む可能性が高い。

プローバに於ける測定 Pin 数の増加は 2 つの傾向を持ち、一方は MPU・ロジック等に代表される特定範囲内（この場合は 2DUT 程度の小面積）に対する集中荷重と、DRAM/Flash Memory の多数個同時測定に代表される大規模な多 DUT～全面一括測定による、広範囲な分散荷重がある。

荷重を受けると言う点に於いては同じだが、チャックに掛かる荷重が偏荷重か均等荷重かの違いは、単に上下機構の駆動力の問題に留まらない。

この点ではロジック用・メモリ用でのプローバに求められる機能、仕様に違いが出てきており、これら要求についても併せて検討した。

(2) テスタの動向との関係

テストヘッドの重量および、コンタクト方式について記載した。

テスタの I/O ピンは増加方向にあるためプローブカードとの電気的な媒体となるコンタクトピンによる荷重も増加方向にある。また、数千から数万本に上るピンとプローブカードの位置精度も実現が難しい物となっており、新たなコネクタ形状のコンタクト方法も出現している。

(3) プローブカードの動向との関係

半導体デバイスの多ピン化に伴うプローブカードの寸法や重量、ウェーハチャックに対する接触圧力などの動向との関係について検討した。

プローブカードに関しては第 3 章 プローブカード以降を参照願いたい。従来一般的に採用されていたタングステンワイヤー等によるカンチレバー式の針に加え、アドバンス型として分類される針や全く異なる製造方

法による物が広く採用されつつある。

デバイスの特徴に依存するパッドの形状や大きさに適応したプローブタイプの選択肢は広がる傾向にあるが、多くは接触圧力の低減、狭ピッチ対応を目的としている。近年、携帯型の機器への搭載需要の観点から、小パッド、狭ピッチ、多ピン化が急速にすすみつつある。

MPU 等、比較的小面積のプローブカードで多数のプローブの必要なデバイスに関して、グリッドアレイ状のパッド配置に対応するために垂直形状のプローブカードが用いられる傾向が強くなり、またフォトリソグラフィなどの製法を用いた新世代プローブカードは狭ピッチが求められるペリフェラル配置のデバイスなど、或いは広範囲で精度の維持が求められる、原則として LOC(Lead on Chip)配置のメモリ製品の多 DUT 測定用などに浸透している。

プローバにおいては汎用的に様々なカード、被試験デバイスに対応する必要があることから、従来型の物を基準とする記述にとどめた。

(4) ウェーハプローバ本体の仕様や能力・性能の動向

X-Y-Z ステージ装置としての総合的位置決め精度、ステージの平坦精度、温度環境試験、フットプリントの面積動向などを検討した。

プローバの精度とは目的の場所への移動、即ちプローブとパッドを接触させる為の最初の位置決めと、これをウェーハ上に形成される全てのデバイスに再現性よく繰り返す移動精度を意味する。

従来は、特にプローブカード及び取り付け部分を含む部位の熱変形などに伴うコンタクト位置の変動を、画像処理により認識・補正する事により対処していたが、今後の更なる微細化や、同時測定が多 DUT 化が進むに連れて変動そのものが許されない状況に到達していることから、プローバメーカー、プローブカードメーカー及びコンタクト外部周辺を構成する各部品ベンダーが協力し、テスト・コストの増大化を押さえつつ最適化を進める必要がある。

2-1-3 技術ロードマップ表

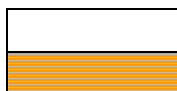
表 7-2-1 ウェーハプローバのロードマップ

Table 7-2-1 Wafer Prober roadmap

			2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
Device	Wafer Diameter	(mm)	300	300	300	450	450	450	450	450	450	450
	Wafer thickness	(μ m)	100-775	100-775	100-775	50-1000	50-1000	50-1000	50-1000	50-1000	50-1000	50-1000
	Carrier		TBD Less than 200 μ m/8", 350 μ m/12"									
Tester	Test head weight	(Kg)	1000	1000	1000	1500	1500	1500	1500	1500	1500	1500
	Mechanical	Type	Pogo	Pogo	Pogo	Pogo	Pogo	Pogo	Pogo	Pogo	Pogo	Pogo
	I/F to tester		Others	Others	Others	Others	Others	Others	Others	Others	Others	Others
Probe Card	Probecard diameter	(mm)	580	580	580	725	725	725	725	725	725	725
	Probecard thickness	(mm)	10	10	10	18	18	18	18	18	18	18
Prober	Accuracy	Chuck X & Y positioning accuracy (μ m)	1	1	1	1	1	1	1	1	1	1
		Probe-to-pad alignment (μ m) XY +/-	2	2	2	2	2	2	2	2	2	2
		Chuck Z positioning accuracy (μ m)	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
		Probe-to-pad alignment (μ m) Z +/-	5	5	5	5	5	5	5	5	5	5
		Chuck Coplanarity (μ m) +/-	7.5	7.5	7.5	7.5	7.5	7.5	7.5	7.5	7.5	7.5
	Maximum Chuck Force	Logic (Kg)	75	90	90	90	90	90	90	90	90	90
		Memory (Kg)	300	300	300	500	500	500	500	500	500	500
	Set point Range	(Degree C)		200	200	200	200	200	200	200	200	200
				-55	-55	-55	-55	-55	-55	-55	-55	-55
	Temp. Accuracy	(Degree) +/-	1	1	1	1	1	1	1	1	1	1
	Total Power	(Watt)	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
	Power Density	(Watt / cm ²)	250	250	250	250	250	250	250	250	250	250
	Chuck Leakage (Parametric)	(Pico / Amp)	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Foot Print	(m ²)	2.1	2.1	2.1	4	4	4	4	4	4	4	

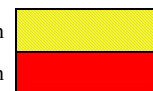
Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



【表 7-2-1 のコメント】

表中の縦軸にあたるアイテムを以下の様に分類し、コメントを記載する。

(1) デバイス

ウェーハ搬送のキャリアは現行使われている形のもので対応可能な範囲について検討した。8 インチウェーハで厚み 200 μ m、12 インチウェーハで厚み 350 μ m を下回る厚みになった場合、ウェーハのたわみに依り搬送が困難となる為、新たな形態のキャリア及び搬送媒体等を検討する必要がある。

また、ウェーハの製造プロセスに於いてウェーハ自体が反りを持つ場合には、搬送のみならずウェーハチャックへの吸着による固定も困難が生じる。

薄いウェーハ、反りのあるウェーハに関しては、既に規格に準じたキャリアでは対応出来ない事が多く、独自の手法(キャリアのウェーハ支持部形状の変更やスロットピッチの N 倍化など)で対応している。

ウェーハを薄くする工程以前ではウェーハ自体十分な厚さを持つために搬送に何ら影響が出ないが、ウェーハテストでのカセット当たりで収納できるウェーハ枚数が減った場合には工程間でウェーハ枚数/ロットの処理単位が変わってしまう事になり、結果としてキャリア間のウェーハ移し替えなどの工程が必要となる。

デバイスメーカーは装置メーカーと検討し、各運用方法に適した対応をする事になる。

(2) テスタ

更に大型化するテストヘッドの重量に対しては、プローバ及びテストヘッドを支持するマニピュレータ部分の耐荷重と共に、床の耐荷重も考慮する必要が生じる。また、プローブカードとテストヘッド間の接続に於いては従来よりポゴピンによる接続が一般的であったが、ピン数の増加や多 DUT 化に伴いコネクタ形状等の新しい接続方法も使用されている。

ここでは、方式のみの記載とした。

(3) プローブカード

予測される過酷なケースを例に各値を記載した。

パッドサイズの微細化やパッド自体のセンシティブリティにより、パッド当たり与え得る荷重は制限される傾向にある為、均一なオーバードライブを与えるために必要とされるプローブカード単体でのプローブの平行度はより厳しい物になる一方、多 DUT 測定、多ピン化により全体的な荷重は増加傾向にある。

プローブエリアの増大に伴い、プローブカード単体でのプローブ先端の高さ方向精度は勿論、チャックとの高度な平行度が必要となる。

従来 プローブカードでは基板部分対プローブ先端、プローバではカード支持部分とチャックと言った、個々のメーカー的な精度の改善でこれに対処していたが、従来方法での対処が困難になりつつある事から、プローバ上でアクティブな補正をする方式も用いられてきた。

多ピン化はチャックに与える荷重の視点でのみ論議される事が多かったが、同様にプローブカードやこれを固定する部分全体で反力を受けている事を考慮に入れる必要がある。

プローブカード自体も上記反力に耐える構造若しくは、テストシステムとしてカード自体の強度をサポートするような機構が必要となる事が予測され、これまで存在しなかったカードやテストヘッドの支持形態の出現が考えられる。

カード径、厚さの増加や、増加するプローブ荷重への対策に関して、プローバのみならず、テストシステムの一部としてテスタ、プローブカード及びプローバメーカーの三者で検討が必要と考える。

(4) プローバ

プロービング精度については、X,Y,Z の他に針合わせ精度を別途定義している。

針合わせ精度は単に軸の動作精度以上の誤差成分を持つ為、装置内での自動校正による精度の実現手法が開発されている。

例えば全面一括での測定などでは、プロービングのステップング精度よりも針合わせ精度の方が重要視される。

チャックの剛性に関しては、均一に掛かる荷重(メモリの一括測定など)よりはむしろプロセッサなど多ピン且つ測定のための移動(プロービング動作)を要する場合に受ける偏荷重の方が、難易度が高い課題であると言える。

撓み等に対処する必要があるため、プローバメーカーとしては単に特定の荷重に耐えられると言う表現ではなく、荷重による XY 方向への変動が何処まで許容されるかと言う点に強い関心を持つ。

測定温度とその精度について、現在でも 300mm ウェーハの範囲で±1 度程度の精度を実現しているが、一般的な測定温度範囲即ち-10 度～125 度程度の全域に渡ってこれを維持するに当たっては、材質の最適化などが必要となり、また車載デバイス需要の増加により、測定温度範囲の拡大傾向にある。

測定温度に関しては現在の装置でもカバーする事の出来る温度域と考えられるが、近年では測定中に発熱するデバイスなども多く、求められる測定温度を維持するために高温測定に於いても冷却機能を有するチャックが求められたり、ウェーハ接触面の温度抵抗値の最適化や、ウェーハ対チャックの密着性を高めたりする等、様々なアプローチが試みられている。

検査

測定中のデバイスによる発熱に左右されず設定温度を維持する必要性から、仮に DUT 毎に温度制御が必要になるような場合が生じれば、測定時間とのトレードオフを視野に入れる必要がある。

2-2 技術要求・課題

2-2-1 技術要求

LSI の微細化・パッケージの小型化に伴い薄くなるウェーハを確実に搬送及び固定し、微細化に向かうボンディングパッドとプローブカードのプローブ先端を精度良く位置決めし、多ピン化に依り増大するテストヘッド重量やプローブカードがウェーハに与える接触圧力にも耐え、そしてこれらの機能が高温・低温の環境下で確実に働く事などを可能とする技術が要求される。

また、測定対象となるデバイスに最適化を目標としたアプリケーションや、ウェーハプロービングによるテスト工程の自動化を目標としたアプリケーション開発など、開発内容は多岐に渡る。

生産性改善の一例として、ウェーハテスト後の目視検査工程など、従来専用機やオペレータに頼っていた工程をプローバに取り込む事により、オペレータの工数削減を期待されるケースが多々あるが、純粋な外観検査装置(専用機)とパフォーマンスの比較、プローバ上での処理時間冗長によるテストのユーティライゼーション低下などの観点から、ユーザサイドとしても、テストシステム、テスト工程全般での有効性を十分に把握し、実稼働状況のデータ化と把握がテスト・コストに直結する点を考慮する必要がある。

2-2-2 課題

ウェーハプローバはウェーハならびにプローブカードをハンドリングし、テストのテストヘッドとプローブカードそして DUT の 3 者を互いに接続する位置決め装置で有る事から、DUT、ウェーハ、プローブカード、テストのテストヘッド各々の寸法や仕様に依存して装置の仕様が定まる。

この様な事から本項ではウェーハのハンドリングに関する仕様・テストのテストヘッドに関する仕様・プローブカードのハンドリングに関する仕様・ウェーハプローバ本体の仕様をそれぞれ、デバイス、テスト、プローブカード、プローバの 4 系統に分類し検討する事とした。

(→ 表 7-2-1 参照)

ウェーハ検査工程は、半導体製造工程の中で、ある意味で特殊な工程である。それはプロセスの結果がある装置単体のみで出されるわけではなく、テスト、プローバ、IF、プローブカードといった複数のベンダーから供給されている装置や治具で構成される「テストセル」としての総合精度や総合能力に依存しているからである。一例として「コンタクト精度」一つをとっても、プローバの精度、プローブカードの機械的精度、テスト～プローバ間のメカニカル IF 精度等に結果が左右される。

デバイスのパッド数の増加、メモリ・デバイスのマルチ測定数の増加に対し、プローブカードのピン数を闇雲に増やし、プローバやプローブカードへの機械的な要求レベルを高度にするだけでは単にテスト・コストの増大を招くに過ぎず、デバイスメーカーの利益の観点で本質的な改善策にはなり得ないのではないかという疑問が生じる。

この点では、デバイス自体もテストを視野に入れた設計を進める事が肝要と考える。

狭ピッチ化が進む事により、プローバに求められる精度は厳しくなる一方であるが、さほどの位置精度を必要としないデバイスも多く存在し、或いは Design for Testability が進む事により高精度への要求が回避されるケースもある事から、プローバにも複数の方向性が考えられる。

デバイスの最終形態、パッケージの変化に伴うテスト工程の変化も見逃せない。強度・精度・機能を追及して行く領域と、より安価に現行技術の延長線上にて解決し得る領域への装置形態の二分化が近年ではより顕著に現れる様になった。

2-3 目標に到達するための解決策・提言

テクノロジーノードの進化に伴い微細化するパッドピッチやテストとの接合に際して求められる剛性・精度を鑑みるとプローバに求められる技術的なハードルは高くなる一方であるが、他方ではそれらを要求しないデバイスも多く存在する。

ハイエンドなデバイスに対してはテクノロジーノードに対応している必要があるため、目的に応じた 2 つの方向性も考えられる。

プローバはデバイスに依存せず汎用的な仕様とする事で量産効果によるコスト削減を目指してきているが、冒頭に述べたようにテストやプローブカード及びカスタマイズされた仕様を含め、単一機種のプローバでも数百種類に及ぶ異なるメカニカルインターフェース仕様が存在する。

これら多数の装置仕様は量産効果の妨げになり、装置コスト低減に良い影響を与えない。

テスト・コストの削減が求められる現状では装置価格のみが取り沙汰される傾向にあるが、テストとのドッキング手法の標準化、プローブカードの標準化などが実現すれば装置価格及びリードタイムを削減する大きな材料となり得る。

また、多ピン化に起因する Z ステージの強化に関しては、1 本当たりのプローブ荷重をより少ない物にする事で延命が可能となるなど、テスト、プローブカード及びデバイスを一つのテストセルと考えた総合的な工夫によりテスト・コストの低減が大きな課題である。

表 7-2-2 ウェーハプローバの技術課題・解決策・提言

Table 7-2-2 Difficult Challenges, Solution, proposal for technical issue

	技術課題	解決策又はその候補	提言
デバイス	薄いウェーハの搬送	キャリア、ローダ構造の見直し	バックグランド済みウェーハの搬送を考慮したキャリアの標準化
テスト	テストヘッド重量増	本体フレーム強化	テストメーカーとの相互協力が必要
	ポゴピン荷重増	ヘッドプレート強化 材質変更	ポゴピン以外の接続方式を検討する事も必要
プローブカード	直径増	搬送系の改善 運用方法の改善	自動搬送等も考慮に入れる必要がある。 カード形状の標準化が有効
	厚み増		
	質量増		
	マルチ数増	平行度・強度の最適化	テストメーカー、カードメーカーとの協力。
プローバ	ウェーハチャック平面度	チャック表面仕上げ 材質変更	
	総合精度	ステージ、アライメント精度の向上	プローバ本体のみでなく、周辺装置・治具も併せた総合精度向上、最適化が必要
	ウェーハチャック耐荷重	Z ステージ強化	プローブカードメーカーとの相互協力が必要
	温度	テストヘッド～ウェーハ間の構成要素見直し及びチャック温度分布の改善	テスト、プローブカードメーカーとの相互協力が必要

第3章 プローブカード

本章では2009年から表のアップデートを行い、ITRS2011に適合させた。本文については、2009年度版からの修正は最小のものとした。

近年に於いてはLCDドライバチップに見られるような端子ピッチの微細化、SoC(System on a Chip)の大規模集積化に伴う端子ピッチの微細化等により30～40 μ mピッチは既に珍しいものでは無くなり、SiP(System in Package)の進展により全く新たな組立て・接合技術が取り入れられる結果、将来には端子ピッチは5～20 μ mと著しく微細なものが求められる等々、プローブカード^{*}の端子ピッチ微細化要求への流れは留まる所を知らない。

また、SoCの大規模集積化に伴う高速化、SiPの高速コアチップ等のKGD(Known Good Die)要求、情報伝送の高速化要求に伴う準マイクロ波やマイクロ波帯のアプリケーション増加、高速シリアル信号伝送等々を背景としてプローブカードに対する高周波特性向上の要求は益々高まって来ている。

さらにこれらとは異なる方向性として、メモリ・デバイスの大容量化に伴う試験時間の増加を補うためにマルチダイテスト(同時測定^{*})の追求が今後も重要な技術として求められ、プローブカードには今後もさらに多ピン化追求の要求がある。

このようなプローブカードに対する困難な状況を含むテスト技術上の問題を打開する技術としてはデバイス設計に於けるDFT(Design For Testability)の導入が挙げられ、実際に相当の成果も見られるものの、コストや技術上の課題から全てのデバイスに導入可能では無いため、引き続きプローブカードに対する技術要求は年々高度化して行く。

ウェーハテストはデバイスの設計技術やテスト技術、試験プログラム、測定器であるテスタの機能や性能、周辺装置であるウェーハプローバの機能や装置精度、テスト治具であるプローブカードの機械的・電氣的整合性など非常に幅広い分野に渡る総合的な検討が要求されるジャンルである。このことは近年、テスト技術の専門家ですらテスト工程に於けるテスト設計やトラブルシューティングに困難さを覚える例が散見される要因ともなっている。

これら半導体業界の変化に追随するためには高速化・多ピン化・狭ピッチ化を共に満たすソリューションの更新を追求するだけでは無く、周辺装置や試験治具の持つ課題やロードマップを明らかにすることでより上流のデバイス設計やプロセス工程の技術者とも問題意識の共有を図り、テスト技術の向上やテスト・コストの低減に取り組んで行く必要が有る。

3-1 技術ロードマップ

3-1-1 検討範囲

半導体デバイスの設計動向及びテスタの機能や性能の動向に対する、ウェーハテスト用プローブカードの機械的・電氣的な機能や性能の動向を検討の範囲とした。

現在広く使われているプローブカードは接触端子の機械的動作原理からカンチレバー型^{*}、バーチカル型^{*}、メンブレン型^{*}に大別される。現在進行形或いは今後提唱されるであろう先進的なプローブカードに於いても接触端子の機械的動作原理は最終的にこの3つの何れかに帰着する。技術要求に対するソリューションとしてこれら3つのタイプの折衷的な構造が提唱されることもあろうかと考えられるが、本項では外観上で母体となっている構造を基準に分類するのでは無く、接触端子部本体の機械的動作原理を基準として前述の3つのタイプに分類して検

討することとした。(→ 図 7-3-1 参照)

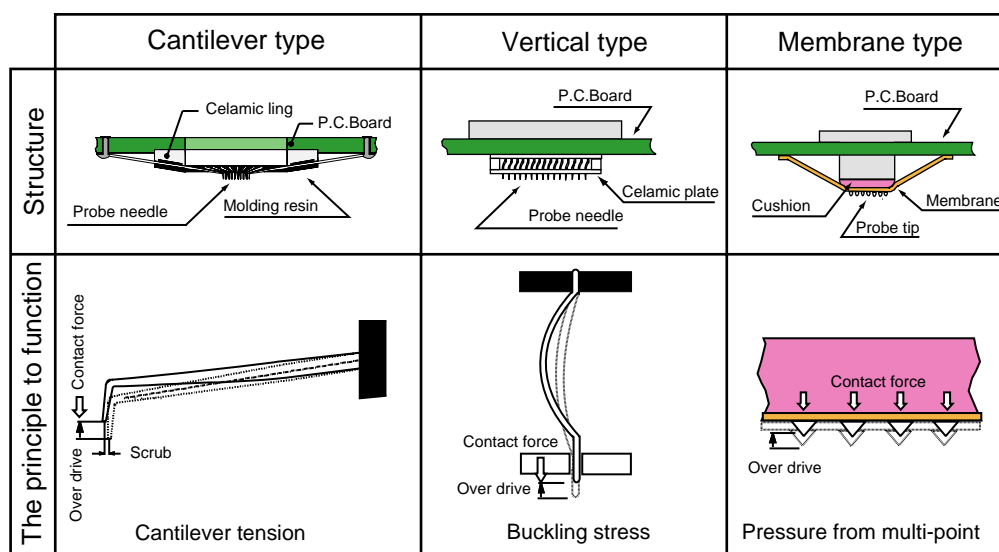


図 7-3-1 従来型プローブカードの基本構造分類

Figure 7-3-1 Basical structure of conventional Probe cards

プローブカードの将来展望としては、プローブ構造体の製法にフォトリソグラフィやマイクロマシン等の技術を取り入れた物の需要が今後増し、様々な構造を持つものが開発、提案されると予測されるが、これら先進的と考えられるものについて従来のものと区別する目的で「従来タイプ」「アドバンスタイプ」に分けて記述し検討することとした。「アドバンスタイプ」という呼称に関しては、海外の一部の市場調査会社が提唱した従来タイプのカンチレバーをコンベンショナル(従来型)、それ以外のものを従来から有るバーチカル型や膜型も含めてアドバンスト(先進型)と分類する考え方が証券業界を中心に普及している。

しかしながら、バーチカル型や膜型はカンチレバー型同様に古くから存在するコンベンショナルタイプ(従来型)である。一方で、バーチカル型や膜型では改良が行われフォトリソグラフィの技術を信号引き出しの基板技術に積極的に取り入れた、インターポーザ (Interposer) * やスペーストランスフォーマ (Space Transformer) * と呼ばれる構造体をプローブ構造体とプローブカード基板の間に介在させて、多ピン高密度化や扱える信号の高速化への対応を行うなどの技術進化も見られる。

さしあたって本章では「従来タイプ」のものでも信号のピッチ変換にインターポーザやスペーストランスフォーマの構造を取り入れ、高密度化や高速化への対応を行っている物については、例えプローブ本体の構造や製法にフォトリソグラフィやマイクロマシン等の技術が使われていなくとも「アドバンスタイプ」に分類することとした。

これらアドバンスタイプのプローブカードは現在までに様々な形態のものが提案され、製品化されている。市販製品として流通しているものには MEMS 型* のカンチレバー、インターポーザ付きの従来タイプバーチカル、従来タイプや改良タイプの膜型などが多く見受けられる。MEMS 型(プローブ自身が機械的動作構造を持つもの)のバーチカルや膜型は若干の提案例が見られるものの、まだ普及、流通するまでには至っていない。

(→ 図 7-3-2 参照)

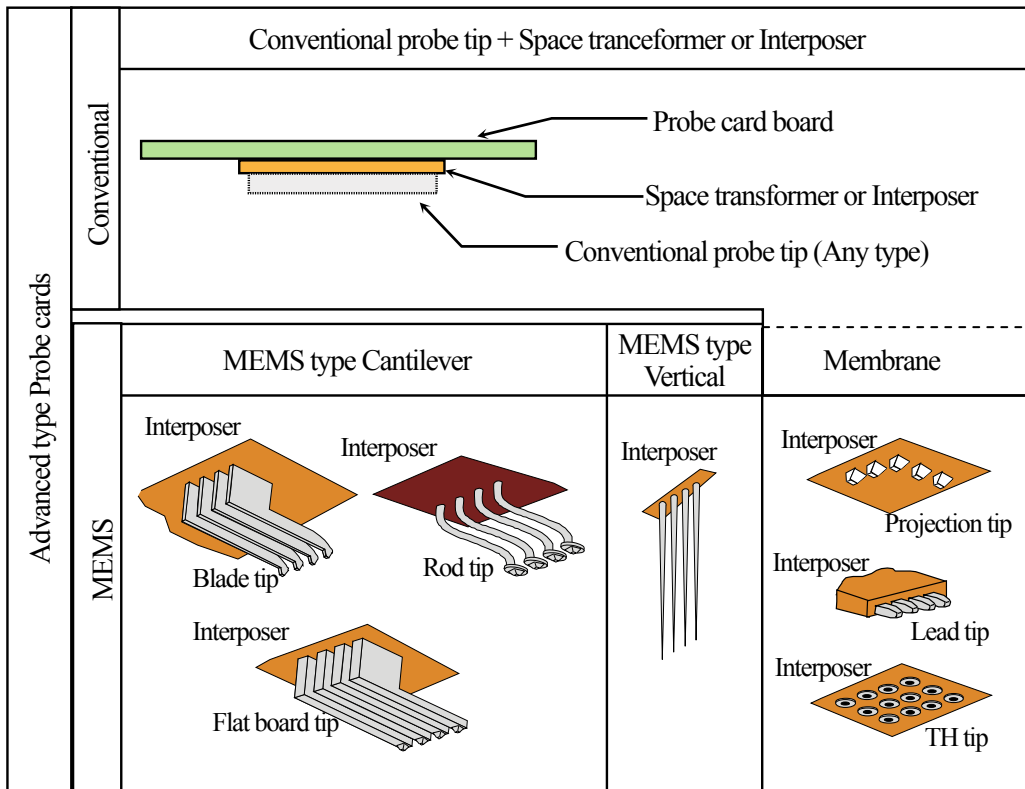


図 7-3-2 アドバンスド型の構造例

Figure 7-3-2 Example of Advanced type Probe cards

また、WLBI(Wafer Level Burn-in)に用いられるコンタクタはウェーハ分割方式で従来型のプローブカード技術が用いられている例はあるものの、ウェーハ一括方式ではメンブレン型で従来のプローブカードとは異なる概念や設計思想に基づくものやスプリングコンタクトピンに依るもの、導電性シートを応用した物なども使われていること、WLBIは装置ならびにコンタクタ等の治工具など含め、独立した一つの分野の技術を形成している。

3-1-2 検討項目・内容

(1) 半導体デバイスとプローブカードの動向

主な半導体デバイス別にそのテストに用いられるプローブカードの技術や機能・性能の動向について調査検討を行いロードマップ表にまとめた。

従来はプローブカードの技術と機能・性能の動向を記述することに主体を置いていたが、2007年度から各種半導体デバイスに対応するプローブカードの技術や機能・性能の動向を示す方式に改め、ユーザの視点に立った内容とすることに努めた。

(2) ロードマップ表

ロードマップ表は半導体デバイスから生じる要求をベースとし、色分けで装置側の実行可能性を示している。

これは ITRS の標記法にならい、既に解があり生産可能 (Manufacturable Solutions Exist, and Are Being Optimized)、解が知られている (Manufacturable Solutions are Known)、解は無いが生産することは可能 (Interim Solutions are Known)、解が未だ無い (Manufacturable Solutions are NOT Known)の4つのケースに分けて以下のように表示している。



3-2 技術要求・課題

プローブカードは LSI チップとテストを電氣的に繋ぐデバイスインターフェースであることから、接触信頼性を保ち電気信号を出来る限り忠実に伝えることが使命である。

一般にボンディングパッド表面は材料の金属の酸化膜だけではなく、フォトレジストやその除去剤などウェーハプロセス中で生じた様々な残留物質が付着している。これらの汚染層は通常絶縁体で有ることからこれを削る等して排斥し、新しい金属面同志を接触させ接触信頼性を得る目的で、プローブ先端をボンディングパッドに擦り付けるスクラブ* 機能を持つプローブ構造体が一般に用いられている。ボンディングパッド・プローブ先端・スクラブ量・接触圧力の間には相互に依存性があり、ボンディングパッド材質やプロセスの多様化に伴って個々に異なる条件設定が必要となる。

一方プロセスルールの微細化と扱う信号の高速化に伴い LSI 内部配線に Low-k(低誘電率材料)が用いられるようになり、これは一般には機械的に脆弱なので接触圧力によりボンディングパッドの下層絶縁体にマイクロクラックが生じ、絶縁不良を引き起こす恐れが指摘されている。さらにはボンディングパッドの下層にも回路を配置するようになるとプロービングで回路構造が破損する恐れも生じる。また、ボンディングパッドを強くスクラブした結果削られて下地が露出し、ワイヤボンディングの際にボンダビリティが低下する恐れが有る等の問題も考えられる。このようなことから少ない接触圧力とスクラブでボンディングパッド表面の汚染層を排斥し、良好な接触信頼性を得られるようなプローブの構造や材質の開発が課題となる。

LSIの微細化・大規模化・高速化に伴うボンディングパッドの狭ピッチ化・多ピン化および試験周波数の高速化に対応したプローブ端子の微細化・多ピン化・高速化を図るためには、より微小なプローブ端子を高密度に精度良く多数配置し、その端子からインピーダンス整合に優れる構造や手法で高密度に信号引き出しが行われ、又低インピーダンスで電源供給を可能とするプローブカードの構造や製造技術が求められる。さらには SoC の Q-TAT(Quick Turn Around Time)化等の市場要求から少量・多品種・短納期にも対応が可能な製造技術であることも同時に要求される。

従来から有る基本形とそれらの改良や派生型即ち従来タイプのは一般にボンディングパッドの配置ピッチが 30 μm 以下又は信号数が 5000 ピンを超えると実現が極めて困難であると考えられている。しかしながら Q-TAT 対応には適していること等から改良は引き続きなされ、今後も対応可能なデバイスに対し使われ続けると考えられる。

構造や製法にマイクロマシンやフォトリソグラフィの概念を取り入れたアドバンスタイプでは微細化や多ピン化が望めるので高密度化するプローブ端子に対するブレイクスルーとなり得る。一般にフォトリソグラフィのような技術を用いる場合、同じ物を多量に作るには適しているが、少量多品種短納期への対応はコストも含めて苦手であることが多い。製法・工法の工夫等でこれを克服することが普及のための課題となる。

3-2-1 半導体デバイスとプローブカード

プローブカードの種類に依り対応可能な DUT のボンディングパッド配列や配置ピッチ、信号数等が異なり、全てのケースに対応可能な製品は今後も実現の可能性は薄い。今後も目的や用途に依り様々なタイプのプローブカードが提案されさらに多様化するであろう。

(1) DRAM 量産用プローブカード

DRAM では記憶容量の増大に伴い試験時間も増加するため生産性を維持向上させるには、スループットを改善する必要があり、同時測定の実現が今後も引き続き行われる。

また一般に試験コストを抑制する手段として DFT が導入されている。

DRAM 量産用プローブカードでは多ピン化要求のため現在 110,000 ピンのプローブカードが存在する。

DRAM は SiP のコアチップとしても用いられることから KGD 対応が求められてはいるけれど、ウェーハテスト周波数は今後大きくは増えないと予想される。これら要求に応える技術としてアドバンスプローブカードが普及を見せているが、今後も引き続き長期的なソリューションを得るためには未だ多くの改良が必要である。

(表 7-3-1. DRAM 量産用プローブカード 参照)

(2) NAND FLASH 量産用プローブカード

NAND Flash は DRAM に比べプロセスノードの微細化が行い易いので同じ記憶容量でもチップ面積を小さく出来、DFT に依る面積増加が余り気にならないこと、DRAM よりテスト内容が複雑で同時測定の際に全てのチップを同時進行でテスト出来ずテストの時間と内容がチップの出来映えにより変わること、などの理由から積極的に DFT の導入が行われており、チップ当りの測定ピン数を激減することが可能となって来ている。その結果として同時測定数を DRAM よりも大幅に増やすことが可能である。

また測定周波数も DRAM ほど高くないのでプローブカードに対する障壁が低く、ウェーハ全面測定も可能となって来ている。

課題としては DRAM 同様 450mm ウェーハが導入されるとウェーハ当りのチップ数が一挙に 2 倍強となるため、さらなる DFT の導入でチップ当りのピン数を減じる必要が有ること、コンタクト面積が広がるとプローブカードの平面精度をより高める必要が生じ、併せて高温測定による熱変形も抑制しなければならないなどがある。

(3) SoC , ASIC 量産用プローブカード(ペリフェラル* パッド用)

SoC , ASIC でペリフェラル(周辺)パッドを持つ LSI のテストには依然として従来型のカンチレバープローブカードが多用されている。使用可能な周波数帯域や同時測定数、狭ピッチへの対応などで制限が多い従来型のカンチレバーが使われ続けているのは、コスト、納期の面で優れているという理由に依るもので、今後も引き続き利用可能な領域で使われ続けるだろう。

しかしながら SoC などでは今後テスト・コストや生産性の面から同時測定数増加への要求が高まり、また高速シリアル信号がデバイスに組み込まれるなど信号の高速化要求もあることから、従来型のカンチレバープローブカードでは対応が困難になって来ている。

高低温試験要求も高まり、プローブカードの熱変形が大きな課題となる。

これらの要求に対するソリューションとして今後アドバンス型のプローブカードが徐々に使われ始めている。

以上のような背景から本項では将来技術の予測という観点でアドバンス型のプローブカードにフォーカスしてロードマップを作成した。

普及への課題としては、設計や製造マスクなどイニシャルコストや納期への対応が有り、製法を含め多品種少量生産へ向けた研究開発が望まれる。

(4) SoC , ASIC 量産用プローブカード(エリア アレイ* パッド用)

フリップチップ実装がされるデバイスでは従来からバーチカル型のプローブカードが多用されており、今後も暫くはこの傾向が続くものと思われる。信号の高速化や多ピン化要求に対してはプローブカード基板(プリント配線基板)とプローブ構造体の間にスペーストランスフォーマーやインターポーザと呼ばれるピッチ変換機能を持つ高密度配線基板を含む構造体を設けるなど継続的な改良が続けられており、これら改良版の製品は本ロードマップでもアドバンス型として分類し本項のロードマップ表に含めて扱うこととした。

課題としてはコスト、納期対応で続いて高速化など性能面でのさらなる改良が望まれている。

プローブ構造体にマイクロマシンやフォトリソグラフィの技術を取り入れたアドバンス型の製品も若干見受けられるが、コストや納期の面でまだ市場への普及には至っていない。

(5) LCDドライバーデバイス 量産用プローブカード

この分野のデバイスは最も狭ピッチ化が進む領域であり、また近年では携帯電話用などで他の機能を加えた SoC 化が進むことで高速信号も扱うようになるなど進展もまた目覚ましい。

また AV や携帯電話など垂直立ち上げの量産を求められる最終製品に用いられることから Q-TAT 要求が強く、同時測定数の増加要求が今後も続くと考えられる。

現在の所は従来型のカンチレバー製品がコストや納期の面から市場で多くの割合を占めている。その傾向は今後も変わらないと予測した。むしろ、カンチレバータイプのプローブカードを前提として一部ピンのみ高速信号を加えるウェーハテストが多くなるだろう。

課題としては従来技術であるカンチレバーに根ざした上での高速化である。

(6) 汎用カンチレバー型プローブカード(従来型。SoC 用など。)

本節のプローブカードのロードマップではアドバンス型に対する調査に多くのページを割いているが、従来からのカンチレバー型プローブカードも引き続き今後も使われ続け、半導体の生産高が SIA(Semiconductor Industry Association)などの貿易統計に見られるように増加を続ける限りその需要が激減することは無いものと考えられる。

特に今後も殊更新たな改良を必要としない分野で使われる製品については ASEAN 諸国へ技術拡散が進み、国内メーカでの生産は減じる方向と考えられるが、コストや納期そして多品種少量生産に優れたプローブカードとしてプローブ材質改良など LSI の進化に伴うプロービング要求の変化に呼応する技術改良や改善が続けられる限り、日本の技術的優位性は保たれるだろう。

このような理由から旧来技術としてロードマップから除外するようなことはせず、本項で引き続きその動向を扱うこととした。

課題としては、狭ピッチや同時測定への追従と精度の確保、Low-k 膜に対する接触圧力の軽減と接触信頼性の両立が挙げられ、プローブ材質や生産技術面での改善・改良に関する研究開発が続けられている。

表 7-3-1 DRAM 量産用プローブカード

Table 7-3-1 Probe card for DRAM mass- production

		Year of Production	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
		Wafer 径	300	300	300	450	450	450	450	450	450	450
適合 DUT Applicable DUT	同時測定数 Multi-Die Test	700	700	700	1000	1000	2000	2000	2000	2000	2000	2000
	総ピン数 Total Pins	110000	110000	110000	120000	120000	120000	120000	120000	120000	120000	120000
	最小パッドサイズ Minimal Pad Size (X μ m \times Y μ m)	50 \times 60	45 \times 55	40 \times 55	40 \times 50	40 \times 50	35 \times 45	35 \times 45	35 \times 45	35 \times 45	35 \times 45	35 \times 45
	最小パッドピッチ Minimal Pad Pitch (μ m)	60	55	50	45	45	40	40	40	40	40	40
機械的仕様 Mechanical Spec.	先端径 Tip Diameter (μ m)	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ	10 ϕ
	先端位置精度 Positional Accuracy ($\pm\mu$ m)	10	10	10	7	7	7	7	7	7	7	7
	高さばらつき Co-Planarity (μ m)	50	50	50	50	50	50	50	50	50	50	50
	推奨 OD 量 (μ m)	100	100	100	100	100	100	100	100	100	100	100
	スクラブ量 Scrub (μ m)	10	10	10	10	10	10	10	10	10	10	10
	接触圧力 Probe Force (mN)	3	3	3	3	3	3	3	3	3	3	3
電氣的仕様 Electric Spec.	ウェーハテスト周波数 (Hz)	100M	100M	100M	100M	100M	100M	100M	100M	100M	100M	100M
	許容電流 Maximal Current (mA/pin)	250	250	250	250	250	250	250	250	250	250	250
使用範囲 Operation Range	OD 範囲 Range of OD (μ m)	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90	80 to 90
	温度範囲 Range of Temp. (Degree C)	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90
保守 Repair	プローブ交換 Needle Exchange	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit

Note 1) 今後同時測定数やパッドピッチ、測定周波数要求を満たす可能性を持つものとしてフォトリソや MEMS 技術を用いたものを調査対象とした。

Note 2) 2014 年より 450mm ウェーハが導入されるとした。

Note 3) プローブカードにおいては、多数電源・GND ピン、信号ピンを合算した総ピン数で表現する点で、テストのチャンネル数とは一致しない。例えば、多数個同時測定のための信号線ドライバの分岐(ドライバシェア)では、2011 年でドライバシェアが 4-8 分岐、2014 年で 8-12 分岐を想定している。

表 7-3-2 NAND FLASH 量産用プローブカード

Table 7-3-2 Probe card for NAND FLASH mass- production

Year of Production		2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
Wafer 径		300	300	300	450	450	450	450	450	450	450
適合 DUT	同時測定数 Multi-Die Test	1000	1000	1000	2000	2000	2000	2000	2000	2000	2000
	総ピン数 Total Pins	30000	30000	30000	80000	80000	80000	80000	80000	80000	80000
Applicable DUT	最小パッドサイズ Minimal Pad Size (μm)	80×80	70×70	70×70	60×60	60×60	60×60	60×60	60×60	60×60	60×60
	最小パッドピッチ Minimal Pad Pitch (μm)	120	100	100	90	90	90	90	90	90	90
機械的仕様	先端径 Tip Diameter (μm)	14φ	14φ	14φ	14φ	14φ	14φ	14φ	14φ	14φ	14φ
	先端位置精度 Positional Accuracy (±μm)	10	10	10	10	10	10	10	10	10	10
Mechanical Spec.	高さばらつき Co-Planarity (μm)	50	50	50	50	50	50	50	50	50	50
	推奨 OD 量 (μm)	100	100	100	100	100	100	100	100	100	100
	スクラブ量 Scrub (μm)	10	10	10	10	10	10	10	10	10	10
	接触圧力 Probe Force (mN)	3	3	3	3	3	3	3	3	3	3
電氣的仕様	ウェーハテスト 周波数 (Hz)	50M	66M	66M	100M	100M	100M	100M	133M	133M	266M
	許容電流 Maximal Current (mA/pin)	250	250	250	250	250	250	250	250	250	250
使用範囲	OD 範囲 Range of OD (μm)	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120
	温度範囲 Range of Temp. (Degree C)	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90	-40 to 90
保守	プローブ交換 Needle Exchange	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit

Note 1) 今後同時測定数やパッドピッチ、測定周波数要求を満たす可能性を持つものとしてフォトリソや MEMS 技術を用いたものを調査対象とした。

Note 2) 2014 年より 450mm ウェーハが導入されるとした。

表 7-3-3 SoC, ASIC 量産用プローブカード(ペリフェラル パッド用)

Table 7-3-3 Probe card for SoC, ASIC mass- production. : Peripheral pads

Year of Production		2011	2012	2013	2014	2015	2016	2017	2020	2023	2026	
適合 DUT Applicable DUT	同時測定数 Multi-Die Test	128	128	256	256	256	256	256	256	256	256	
	総ピン数 Total Pins	7500	9000	9000	9000	9000	9000	9000	9000	9000	9000	
	最小パッドサイズ Minimal Pad Size (μm)	27×50	27×50	23×40	23×40	18×35	18×35	18×35	18×35	18×35	18×35	
	最小パッドピッチ Minimal Pad Pitch (μm)	35	35	30	30	25	25	25	25	20	20	
	機械的仕様 Mechanical Spec.	先端径 Tip Diameter (μm)	12φ	12φ	10φ	10φ	7φ	7φ	7φ	7φ	7φ	7φ
先端位置精度 Positional Accuracy (±μm)		10	10	7	7	7	7	7	7	5	5	
高さばらつき Co-Planarity (μm)		50	50	50	50	50	50	50	50	50	50	
推奨 OD 量(μm)		100	100	100	100	100	100	100	100	100	100	
スクラブ量 Scrub (μm)		10	10	10	10	10	10	10	10	10	10	
接触圧力 Probe Force (mN)		2	2	2	2	2	2	2	2	2	2	
電氣的仕様 Electric Spec.		ウェーハテスト周波数 (Hz)	300M	300M	500M	500M	500M	500M	500M	500M	500M	500M
		許容電流 Maximal Current (mA/pin)	250	250	250	250	250	250	250	250	250	250
使用範囲 Operation Range	OD 範囲 Range of OD (μm)	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	
	温度範囲 Range of Temp. (Degree C)	-40 to 160	-40 to 160	-40 to 175	-40 to 175	-40 to 175	-40 to 175	-40 to 175	-40 to 175	-40 to 175	-40 to 175	
保守 Repair	プローブ交換 Needle Exchange	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	

Note 1) 今後同時測定数やパッドピッチ、測定周波数要求を満たす可能性を持つものとしてフォトリソや MEMS 技術を用いたものを調査対象とした。

表 7-3-4 SoC, ASIC 量産用プローブカード(エリア アレイ パッド用)

Table 7-3-4 Probe card for SoC, ASIC mass- production. : Area array pads

Year of Production		2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
適合 DUT Applicable DUT	同時測定数 Multi-Die Test	32	32	32	32	32	32	32	32	32	32
	総ピン数 Total Pins	20000	30000	30000	30000	30000	30000	30000	30000	30000	30000
	最小バンプサイズ Minimal Bump Size (μm)	70	60	60	60	60	50	50	50	50	50
	最小パッドピッチ Minimal Pad Pitch (μm)	120	110	110	100	100	95	95	85	85	85
	機械的仕様 Mechanical Spec.										
	先端径 Tip Diameter (μm)	70	60	60	60	60	50	50	50	50	50
	先端位置精度 Positional Accuracy (±μm)	10	10	10	7	7	7	7	7	7	7
	高さばらつき Co-Planarity (μm)	50	50	50	50	50	50	50	50	50	50
	推奨 OD 量(μm)	100	100	100	100	100	100	100	100	100	100
	スクラブ量 Scrub (μm)	5	5	5	5	5	5	5	5	5	5
	接触圧力 Probe Force (mN)	10	10	10	7	7	7	7	6	6	6
電氣的仕様 Electric Spec.	ウェーハテスト周波数 (Hz)	300M	300M	500M	500M	500M	500M	500M	500M	500M	500M
	許容電流 Maximal Current (mA/pin)	250	250	250	250	250	250	250	250	250	250
使用範囲 Operation Range	OD 範囲 Range of OD (μm)	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120
	温度範囲 Range of Temp. (Degree C)	-40 to 125	-40 to 125	-40 to 150	-40 to 150	-40 to 150	-40 to 150	-40 to 150	-40 to 150	-40 to 150	-40 to 150
保守 Repair	プローブ交換 Needle Exchange	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin	ピン 毎 Per pin

Note 1) 主に量産で用いられているバッチカル型を対象とした。

表 7-3-5 LCDドライバーデバイス 量産用プローブカード

Table 7-3-5 Probe card for LCD-driver mass- production

		Year of Production	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
適合 DUT Applicable DUT	同時測定数 Multi-Die Test	4	4	4	4	4	4	4	4	4	4	4
	総ピン数 Total Pins	3000	3000	3000	3000	6000	6000	12000	12000	12000	12000	12000
	最小パッドサイズ Minimal Pad Size (μm)	10×40	9×40	9×40	9×40	9×40	9×40	9×40	9×40	8×40	8×40	8×40
	最小パッドピッチ Minimal Pad Pitch (μm)	14	12	12	12	10	10	10	7	7	7	
機械的仕様 Mechanical Spec.	先端径 Tip Diameter (μm)	10φ	9φ	9φ	9φ	9φ	9φ	9φ	9φ	8φ	8φ	8φ
	先端位置精度 Positional Accuracy (±μm)	5	3	3	3	3	3	3	3	3	2	2
	高さばらつき Co-Planarity (μm)	50	50	50	50	50	50	50	50	50	50	50
	推奨 OD 量 (μm)	100	100	100	100	100	100	100	100	100	100	100
	スクラブ量 Scrub (μm)	10	10	10	10	10	10	10	10	10	10	10
	接触圧力 Probe Force (mN)	2	2	2	2	2	2	2	2	2	2	2
電氣的仕様 Electric Spec.	ウェーハテスト周波数 (Hz)	1250M	1500M	1500M	1500M	1500M	1800M	1800M	2400M	2400M	2400M	
	許容電流 Maximal Current (mA/pin)	300	300	300	300	300	300	300	300	300	300	300
使用範囲 Operation Range	OD 範囲 Range of OD (μm)	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120	80 to 120
	温度範囲 Range of Temp. (Degree C)	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120	-40 to 120
保守 Repair	プローブ交換 Needle Exchange	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit	ユニット 毎 Per Unit

3-3 目標に到達するための解決策・提言

テクノロジーノードの微細化に伴いプローブカードに求められる技術課題とその解決策をまとめると下表 7-3-7 のようになる。

表 7-3-6 プローブカードの技術課題・解決策・提言

Table 7-3-6 Difficult Challenges, Solution, proposal for technical issue

	技術課題	解決策又はその候補	提言
微細化	プローブの端子ピッチ	フォトリソグラフィやマイクロマシン等の製造技術導入	少量・多品種・短納期対応が可能となる製造技術が望まれる
	プローブ先端の位置精度	厚膜基板・高多層のビルドアップ基板等	
	配線接続(ピッチ変換)		
	オーバードライブ*量	フォトリソグラフィやマイクロマシン等の製造技術導入	小さく作ると可動範囲や許容公差も比例して減少するため、ウェーハプローバの装置精度も向上することが必要 DUT の薄膜化との関係も重要
	スクラブ量	組立て技術の向上に依る精度確保	
	接触圧力		
多ピン化	プローブ先端の平坦度		
	熱変形	低熱膨張率材料利用・補強設計技術	
	配線引き出し	ブラインド TH やビルドアップ併用基板	配線収容能力の高い基板が必要
	ピン間リーク	ガード技術・高絶縁材料利用	
高速化	デジタルバンド幅	微細化に伴いプローブ端子寸法の均一化も図れるので向上する方向に有る	設計技術や計測技術の充実を図ることが重要
	スキュー		
	クロストーク	影響が有る信号線路を他から十分に離れた設計を行う	デバイス設計技術者・テスト技術者と連携が必要
	設計検証	シミュレーション・計測検証技術の導入	モデリングやデータの標準化必要
接触信頼性	プローブ端子の材質・形状	ボンディングパッド表面の汚染膜をスクラブに依り排斥	汚染膜の解析等プロセス技術者との連携も今後必要 接触のメカニズム等基礎技術の追求も重要
	コンタミネーション対策	汚染付着の少ない材質や形状、表面処理の開発	
	クリーニング	汚染除去手段の開発	
信頼性	パッド下回路ダメージ	低針圧	スクラブマークを小さくする
	ワイヤボンド特性	針跡の小型化	スクラブマークを浅くする。

用語説明

文中で使用されている用語の内、本ロードマップの業種にて用いられるものを主体に選び解説を加えた。他分野で主に使用されている用語については重複を避ける意味で割愛したので、もし不明のものが有れば当該業種の用語解説項等を参照戴きたい。

1) プローブカード (Probe Card)

ウェーハに形成された LSI のボンディングパッドに接続して電気信号を入出力し、機能テストを行う目的で用いられる試験治具。多くはプローブ(試験探針)がプリント配線基板に取り付けられた構造をしており、ウェーハプローバに装着して LSI テスタのテストヘッドと接続し、ウェーハを搬送して LSI のボンディングパッドをプローブカードに対し位置決めした後に押し当てることにより電氣的な接続が行われる。ような形態や構造のものが有る。

2) カンチレバー型 (Cantilever type)

機械工学で言う片持ち梁の原理で働く端子構造を持つプローブカードを指して言う。(図 7-3-1 参照)

3) バーチカル型 (Vertical type)

機械工学で言う座屈応力の原理で働く端子構造を持つプローブカード指して言う。垂直型とも呼ばれる。(図 7-3-1 参照)

4) メンブレン型 (Membrane type)

軟質のフィルム状のシート基板に尖形のプローブ端子ならびに配線パターンを形成した構造を持つプローブカードを指して言う。(図 7-3-1 参照)

5) インターポーザ (Interposer)

配線ピッチ変換基板のことを言う。プローブカードではプローブ端子のピッチが LSI のボンディングパッドの配置ピッチと等しいので、そのままではプローブカードのプリント配線基板のパターンルール寸法に合わず、信号の接続が出来ないため、ビルドアップ基板や厚膜基板など高密度配線が可能な配線基板を介在して配線ピッチの変換が行われる場合がある。(図 7-3-2 参照)

6) スペーストランスフォーマ (Space transformer)

上述のインターポーザと同義語として混同して使われることが多い。狭義にはインターポーザは「基板を使うもの」を言い、スペーストランスフォーマはワイヤハーネスのような立体構造による配線ピッチ変換をも含む表現である。(図 7-3-2 参照)

7) MEMS 型プローブ(MEMS type probe tip)

プローブ端子の製法や構造に MEMS (Micro Electro Mechanical Systems) の技術を取り入れたものを指して言う。プローブ端子自体が何らかの機械的動作を持つことが条件で、前述のメンブレン型プローブ端子のように自身は機械的な動作を行わないものはこれに含まない。(図 7-3-2 参照)

8) オーバードライブ(Over drive)

ウェーハをプローブカードに押し当てた際、最初にプローブ端子が LSI のボンディングパッドに触れた所から更に押し込んで圧接する行為を指して言う。(図 7-3-1 参照)

9) スクラブ(Scrub)

ウェーハをプローブカードに押し当てた際、LSI のボンディングパッド上に接するプローブ端子の先端が滑って移動し擦りつける動作(擦動・摺動)を指して言う。ワイプ(Wipe) とも言い、金属表面の汚染膜を排斥して新しい金属面同志を接触させる目的で行われる。

10) ペリフェラル(Peripheral)

これも本来はロジック・デバイス等のパッケージに用いられる QFP に見られるようなデバイスの周囲四辺にリード端子を有するものを意味するが、本編ではボンディングパッドの配置デザインのイメージを指す用語として使用している。LSI チップの周辺部四辺にボンディングパッドが配置されている状態を指す。

検査

11) エリア アレイ(Area array)

本来は格子状(Grid-array)に端子が配置されたパッケージ、例えば BGA 等の端子が並んでいるさま、あるいはフリップチップボンディングに用いる LSI チップのボンディングパッドが格子状に配置されている様を指して用いるが、本編ではボンディングパッドの配置デザインのイメージを指す後者の意味で使用している。

12) 同時測定または同測(Multi-Die Test , Simul-Test)

テストのスループット向上を目的として複数の LSI チップを同時にテストすることを言う。テストに時間がかかる汎用メモリの分野で発展したが、近年は埋め込みメモリを持つ SoC などでも Time to Market の視点から普及が見られる。同時測定数が増えるほどテストのチャンネル数も増加するためテスト実現が困難になるので、BIST(Built In Self Test)や Scan 回路などの DFT(Design For Testability)を LSI チップに内蔵することでテストへのコスト負担を減じる工夫が広く行なわれている。

第4章 ハンドラ

4-1 技術概要

4-1-1 装置の説明

ハンドラは、IC テスタとインターフェースされ、半導体を自動的に供給、測定、分類(選別)、収納するための自動搬送装置である。装置の形態はデバイスの用途や形状により異なっており、メカニカル駆動による水平搬送方式、重力を利用した自重落下方式などさまざまである。しかし、どの方式も基本的にはデバイスを投入する供給部、テスタとインターフェースし、選別を行うための測定部、その選別結果によってデバイスを分類収納する収納部から構成されている。

また、供給部から測定部にハンドリングされる過程で、デバイス測定条件に適した環境を作り出すことができ、常温測定だけではなく、高温もしくは低温にするための温度制御機能も設けることができる。

測定部では、デバイスの電気的特性をテスタが測定するため、デバイス端子部に接触させるためのソケットが設置され、高精度な検査を行うにあたり重要な役割を担っている。このソケットについては、次の章でロードマップが示されている。

図 7-4-1 に代表的な水平ハンドラにおけるデバイスのハンドリング、およびテスタとソケットの関係を示す。

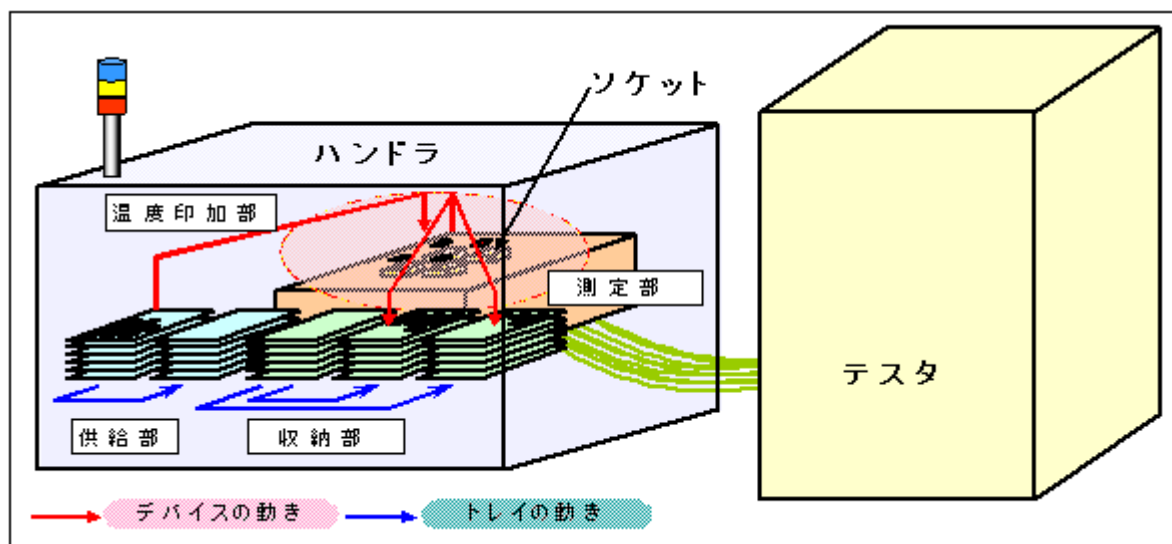


図 7-4-1 ハンドラと周辺設備との関係

Figure 7-4-1 Handler and System configuration

4-1-2 検討範囲

2010、2011 年度にわたり議論した内容を各種ハンドラのロードマップに反映し、あわせて動向の更新を行った。図 7-4-2 にハンドラの大まかな分類と、当ロードマップ専門委員会での検討状況を示す。なお、本図は本ロードマップの検討状況を模式化したものであり、ハンドラ全体を体系化したものではない。

本検討では、いずれのハンドラの場合も量産 IC を対象としたうえで、各年度にリリースされているであろうハンドラの機能と性能を標準的なレベルから上位レベルの範囲で示すこととした。

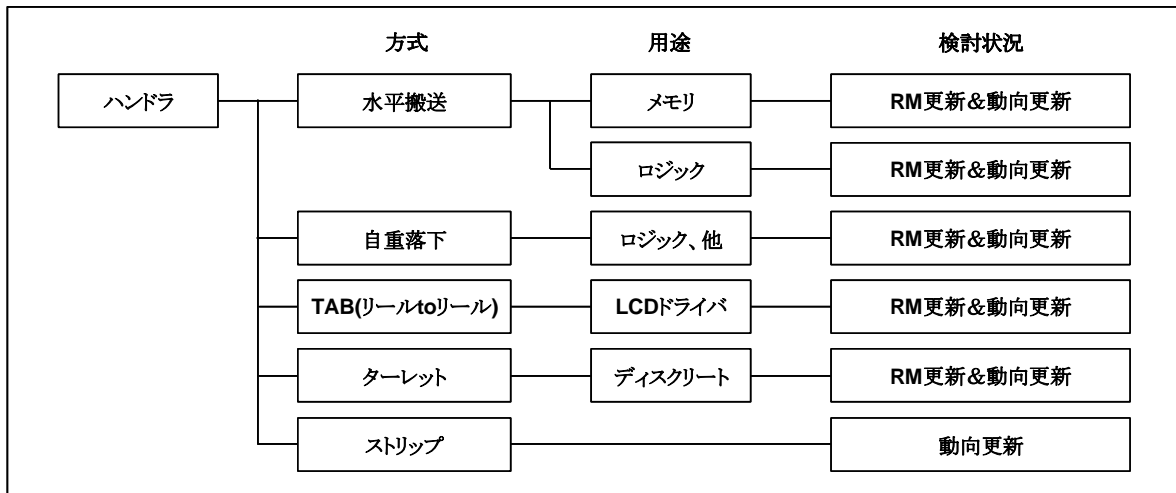


図 7-4-2 ハンドラの検討範囲

Figure 7-4-2 Range of study for Handler

4-1-3 検討項目・内容

ITRS および STRJ-WG2(テスト)で協議されている内容を踏まえ、検査 WG のテスト担当ならびにソケット担当と意見交換を行いながら検討を行った。

(1) 適用媒体(トレイ、マガジン、リール)

使用媒体のサイズは装置面積、分類数、搬送経路、前後工程等に密接に関わるので検討を行った。

(2) 同時測定数

テストのピン数動向、デバイス動向より必要とされるハンドラでの同時測定数について検討を行った。

(3) インデックスタイム

測定方法や同時測定数により要求される値と機構面から、実現可能なインデックスタイムの検討を行った。

(4) 処理能力

インデックスタイム、同時測定数等およびデバイスやトレイを搬送する能力等により、1時間あたりにデバイスを搬送処理できる能力について検討を行った。

(5) 分類数

デバイス動向、装置面積に占める分類機構の割合等より、妥当な分類数について検討を行った。

(6) 測定温度/温度精度

測定環境動向、同時測定数による温度制御空間等より、必要とされる測定温度と精度について検討を行った。

(7) 床面積

テストヘッドの大型化傾向と同時測定数の増加に伴う装置増大の可否、および設置場所への考慮を含めた検討を行った。(2011 年を 1 とした指数で表現)

(8) 適用テープ厚(TAB*ハンドラ特有)

パッケージ素材であるテープの厚さが搬送方法に大きく影響する為検討を行った。

(9) 位置決め精度(TAB ハンドラ特有)

テストパッドの微細化により、ハンドラに必要とされるテストパッドと接触子との位置決め精度に関し検討を行った。

(10) パッケージ(リスト上 PKG で表記)への衝撃荷重(ディスクリートハンドラ特有)

デバイスの軽薄短小化により、パッケージへの過負荷限界に関して検討を行った。

4.2 ハンドラロードマップ

4.2-1 メモリ系ハンドラロードマップ

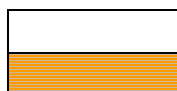
表 7-4-1 メモリ系ハンドラロードマップ

Table 7-4-1 Memory Handler Roadmap

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
適用トレイサイズ Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
同時測定数 Parallel testing (Per Head)	128~ 1024	128~ 1024	128~ 1024	256~ 2048	256~ 2048	256~ 2048	256~ 2048	256~ 2048	256~ 2048	256~ 2048
インデックスタイム Index time (S)	2~4	2~4	2~4	2~4	2~4	2~4	2~4	2~4	2~4	2~4
処理能力 Throughput (devices/hour)	12~25K	12~25K	12~25K	20~50K	20~50K	20~50K	20~ 100K	20~ 100K	20~ 100K	20~ 100K
分類数 Sorting	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9
測定温度 Temperature set point (degrees C)	-55~ +155	-55~ +155	-55~ +155	-55~ +155	-55~ +155	-55~ +155	-55~ +175	-55~ +175	-55~ +175	-55~ +175
測定温度精度 Temperature accuracy (degrees C)	±1.5	±1.5	±1.5	±1.0	±1.0	±1.0	±1.0	±1.0	±1.0	±1.0
床面積 Foot print	1	1~1.2	1~1.2	1~1.5	1~1.5	1~1.5	1~1.5	1~1.5	1~1.5	1~1.5

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



DRAM 用ハンドラと FLASH(NAND)用ハンドラは共通のロードマップで表記している。

基本的には ITRS の update を参照し、装置の観点から見直しを行った。

(1) 適用トレイ

JEDEC が de facto standard となり、以降継続する見通し。

(2) 同時測定数

DDR3 以降で高速 I/O 試験とコア試験の 2 パス化が一層進むことで同測数の増加が加速度的に進むと予測。同測数を飛躍的に増加させることで試験効率を改善する必要性が発生すると仮定している。

(3) インデックスタイム

DRAM 試験時間の短縮が進むが搬送方式を工夫することで短縮は可能と予測する。

同測数が増えることで、段階的に搬送する手法(例えば 512 個同測を 128 個x4 回として移動距離を短縮する Step 動作など)でインデックスタイム短縮を実現できる。

(4) 処理能力

20K の処理能力は既実現されているが、装置サイズ限界などから処理能力を継続的に増加させることが困難になっていくと予測。2014 年頃に同測数増加にあわせて処理能力増加も求められるが実現には制約がある。搬送方式から見直す必要があると仮定して橙色/赤色となっている。

(5) 分類数

基本はパス/フェイルであるが、パスのスピード分類やフェイルの解析など 5~9 の分類数が要求される。

(6) 測定温度/温度精度

車載用途、寒冷地・宇宙環境等への使用用途から広範囲の温度が要求される。温度精度もデバイスの retention time への影響などからより高精度がも求められる。温度精度 ±1.0°C まで向上されるときに技術的ハードルが予想されるため黄色となる。

(7) 床面積

2014 年以降同測数増大に対応し、搬送方式からの見直し装置サイズを抑える必要性の観点で黄色とした。

検査

4-2-2 ロジック系ハンドラロードマップ

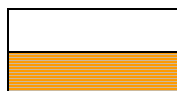
表 7-4-2 ロジック系ハンドラロードマップ

Table 7-4-2 Logic Handler Roadmap

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
適用トレイサイズ Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
同時測定数 Parallel testing (Per Head)	16	16	32	32	32	32	32	32	32	64
インデックスタイム Index time(S)	0.4	0.4	0.3~ 0.4	0.3~ 0.4	0.3~ 0.4	0.25	0.25	0.25	0.25	0.25
処理能力 Throughput(devices/hour)	12~20K	12~20K	12~30K	12~30K	12~30K	12~30K	12~30K	12~30K	12~30K	12~40K
分類数 Sorting	3~6	3~6	3~6	3~6	3~6	3~6	3~6	3~6	3~6	3~6
測定温度 Temperature set point (degrees C)	-55~ +150	-55~ +150	-55~ +175	-55~ +175	-55~ +175	-55~ +175	-55~ +175	-55~ +175	-55~ +175	-55~ +175
測定温度精度 Temperature accuracy (degrees C)	±2.0	±2.0	±2.0	±1.5	±1.5	±1.5	±1.5	±1.5	±1.0	±1.0
床面積 Foot print	1	1~1.2	1~1.2	1~1.5	1~1.5	1~1.5	1~1.5	1~1.5	1~1.5	2.0

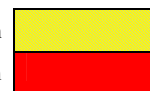
Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



(1) 適用トレイ

JEDEC が de facto standard となり、以降継続する見通し。

(2) 同時測定数

同測数は増加傾向にあるが、個片のデバイス・ハンドリングとしては 32 個が限界と見ている。但し、試験効率の進歩により、さらに同測数が増える事を想定し、64 個を視野に入れて行く必要があると予測する。実現には、ハンドリング形態の見直し、駆動系の進歩が必須になると想定し、赤色表記とした。

(3) インデックスタイム

インデックスタイムについては、当面 0.3~0.4sec の要求で推移すると予測するが、同測数が増える事による、ユニットの重量化に伴い、インデックスタイムの短縮は難しいと予測し、0.3~0.4sec を黄色、0.25sec 以降を赤色表記とした。インデックスタイムの短縮化には、振動抑止構造や制振制御、駆動系などの技術革新が必要となる。

(4) 処理能力

BIST・BOST や試験効率向上によるテスト時間の短縮化などが牽引し、より大きな処理個数を要求されると分析。2013 年以降の 30K は、搬送方式から見直す必要があると仮定して赤色表記とした。

(5) 分類数

基本はパス/フェイルであるが、パスのスピード分類やフェイルの解析など一般的には 3~6 の分類数が要求される。

(6) 測定温度/温度精度

-55~+175°C の広範囲な温度要求はこのまま推移すると推測する。温度精度範囲の狭小化・自己発熱の抑制に対応する為、より早い応答性や制御方法が求められる。

(7) 床面積

32 個同測以降は、1DUT 当たりのテストボード面積の要求に左右されるが増加傾向であることから黄色とした。

4-2-3 自重落下ハンドラロードマップ

表 7-4-3 自重落下ハンドラロードマップ

Table 7-4-3 Gravity Handler Roadmap

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
適用チューブサイズ Conformity tube type (mm)	280～ 580	280～ 580	280～ 580	280～ 580	280～ 580	280～ 580	280～ 580	280～ 580	280～ 580	280～ 580
同時測定数 Parallel testing	8 (2×4)	8 (2×4)	8 (2×4)	8 (2×4)	16 (2×8)	16 (2×8)	16 (2×8)	16 (2×8)	16 (2×8)	16 (2×8)
インデックスタイム Index time(S)	1.0～ 1.2	1.0～ 1.2	0.8～ 1.0	0.8～ 1.0	0.8～ 1.0	0.8～ 1.0	0.8～ 1.0	0.6～ 0.8	0.6～ 0.8	0.4～ 0.5
処理能力 Throughput(devices/hour)	28K	28K	30K	30K	40K	40K	40K	50K	50K	50K
分類数 Sorting	3～6	3～6	3～6	3～6	3～6	3～6	3～6	3～6	3～6	3～6
測定温度 Temperature set point (degrees C)	RT～ +155	-55～ +155	-55～ +155	-55～ +155	-55～ +160	-55～ +160	-55～ +180	-55～ +180	-55～ +180	-55～ +180
測定温度精度 Temperature accuracy(degrees C)	±3.0	±3.0	±2.0	±2.0	±1.0	±1.0	±1.0	±1.0	±1.0	±1.0
床面積 Foot print	1	1	1	1	1.25	1.25	1.25	1.25	1.25	1.25

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



自重落下ハンドラの用途としては、メモリ系デバイスが水平搬送方式に移行したため、主にロジック系 IC、リニア IC、複合 IC 等に用いられている。

(1) 適用チューブサイズ

現在、使用されているチューブ・マガジンを前提としている。

(2) インデックスタイム

2013～2017年を0.8～1.0とした。現在、PTB(Plunge to Board)タイプのロングストロークでもこの領域にさしかかっている。ただし、位置決め精度や部品の耐久性に課題があると見られる。2020年以降は、より高速なインデックスが要求されると思われ、テスト時間の短縮と共にインデックスの短縮化が生産効率のターゲットとなる。

(3) 処理能力

2011～2012年は、インデックス短縮により、また、2015年以降は16個同測化によりUPH(Units Per Hour)が向上するが、ローダを含めた供給部の搬送能力が大きな課題となってくる。

(4) 分類数

物理的な分類を指すのであれば、マガジン6連タイプを使用すると13分類可能。ソフト的な分類であれば、16分類可能。

(5) 測定温度

各社共に高低温マシンが標準になっている。高温測定範囲は、さらに広がる方向になってきている。

(6) 測定温度精度

2015年から±1℃とした。能力的には各社とも近いところにある。

(7) 床面積

16個同測では1.25とした。現状のヘッド間ピッチと分類構造から横に大きくなる。

4-2-4 TAB ハンドラロードマップ

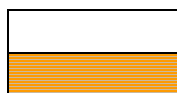
表 7-44 TAB ハンドラロードマップ

Table 7-4-4 TAB Handler Roadmap

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
適用リール径 Conformity reel diameter (mm)	400～ 530	400～ 530	500～ 620	500～ 620	500～ 620	500～ 620	600～ 800	600～ 800	600～ 800	600～ 800
適用テープ厚 Conformity tape thickness (μm)	31～50	31～50	31～50	31～50	31～50	31～50	21～50	21～50	21～50	21～50
同時測定数 Parallel testing	1～2	1～4	1～4	2～4	2～4	2～4	2～8	2～8	2～8	2～8
インデックスタイム Index time (s)	0.8～ 1.0	0.6～ 0.8	0.6～ 0.8	0.6～ 0.8	0.6～ 0.8	0.6～ 0.8	0.4～ 0.6	0.4～ 0.6	0.4～ 0.6	0.4～ 0.6
位置決め精度 Alignment accuracy (μm)	±8	±5	±5	±3	±3	±3	±1.5	±1.5	±1.5	±1.5
測定温度 Temperature set point (degrees C)	RT～ +100	RT～ +100	RT～ +100	RT～ +100	RT～ +100	RT～ +100	RT～ +100	RT～ +100	RT～ +100	RT～ +100

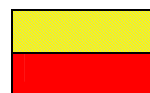
Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



(1) 適用テープ厚

適用テープ厚に関しては、厚さだけの問題でなく素材自体も年々柔らかくなる。2017 年以降は、さらに素材が薄くなると予想され、現状構造では搬送に困難が発生するため黄色とした。

(2) 同時測定数

同時測定数に関しては、並列数が増加してもハンドラとして搬送することは可能である。しかしながら、位置決め精度の問題並びにプローブカードの針立ての複雑さを考慮して、4 個測定では黄色、8 個測定では赤色とした。

(3) インデックスタイム

インデックスタイムは、シングル搬送におけるテストからのテストエンド信号受信からハンドラのテストスタート信号送信までの時間とした。この値は、パッケージ特性から限界に近づきつつあると考えられる。

(4) 位置決め精度

位置決め精度は、シングル測定における数値を示した。2014 年以降±3μm を保持することに困難が発生するため黄色とし、2017 年以降、±1.5μm を保持する手段が現在のところ見いだせないため赤色とした。また、並列測定数が増加した場合は、更に難易度が増加する。

(5) 測定温度

測定温度における RT は、Room Temp. (室温で温度制御しない状態)の略表記である。

4-2-5 ディスクリート・ハンドラロードマップ

表 7-4-5 小信号系ディスクリート・ハンドラロードマップ

Table 7-4-5 Small Signal Discrete Handler Roadmap

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
シリーズ測定数 Serial testing	2~4	2~4	2~4	2~4	2~4	2~4	2~4	2~4	2~4	2~4
インデックスタイム Index time(S)	0.12	0.12	0.1	0.1	0.1	0.1	0.1	0.08	0.08	0.08
処理能力 Throughput(devices/hour)	30K	30K	36K	36K	36K	36K	36K	45K	45K	45K
分類数 Sorting	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9
PKGへの衝撃荷重 Impact load to PKG (N)	8	8	5	5	5	5	3	3	3	3

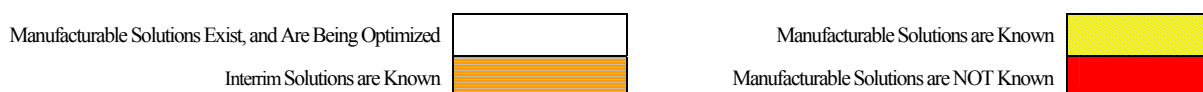


表 7-4-6 パワー系ディスクリート・ハンドラロードマップ

Table 7-4-6 Power Discrete Handler Roadmap

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
シリーズ測定数 Serial testing	4~8	4~8	4~8	4~8	4~8	4~8	4~8	4~8	4~8	4~8
インデックスタイム Index time(S)	0.3	0.3	0.25	0.25	0.25	0.25	0.25	0.2	0.2	0.2
処理能力 Throughput(devices/hour)	12K	12K	14K	14K	14K	14K	14K	18K	18K	18K
分類数 Sorting	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9	5~9
PKGへの衝撃荷重 Impact load to PKG (N)	10	10	10	10	8	8	5	5	5	5



回転テーブルで処理するターレットタイプのディスクリート・ハンドラについて、小信号系とパワー系に別けて表記している。

- (1) パッケージサイズが $\phi 5\text{mm}$ 以上をパワー系として表記した。
- (2) シリーズ測定数については、測定項目数によるものであり、今後もあまり変化はしないと考えた。
- (3) インデックスタイム
テスト時間が短く(小信号系で0.08~0.1秒、パワー系で0.15~0.18秒)同測化の方向性がない為、インデックスの短縮化が生産効率のメインターゲットとなる。
- (4) 処理能力
インデックスタイムの短縮と同時にデバイス供給能力と収納能力が大きな課題となると考えた。
- (5) 分類数については、今後もあまり変化はしないと考えた。
- (6) PKGへの衝撃荷重
薄く小型化していくパッケージやチップのスタック化により、高速搬送技術と合わせ衝撃緩和技術に対する要求が増すと考えた。

4.3 技術課題と解決策

4.3-1 メモリ系ハンドラ、ロジック系ハンドラ(水平搬送)

(1) 処理能力&インデックスタイムの性能向上

測定手法の見直しや試験工程の変更により、年々測定時間の短縮が急激に進み、特にメモリ系スピード分類の測定時間は数年前までの数百秒から 60 秒を切る品種もでてきており、測定インデックスタイムの短縮とともに処理能力の向上がハンドラに要求される。ロードマップ上での推移は、表 7-4-1、表 7-4-2 で示すとおりである。

処理能力は、通常 IC を供給、排出する時の機械的能力を 1 時間あたりに換算するのが通常である。また、インデックスタイムは、テストからのテストエンド信号受信からハンドラのテストスタート信号送信までに機械的な動作可能な能力を数値化している。すなわち、ハンドラで言う処理能力及びインデックスタイムの高速化は、機械的な要因が多く、以下の項目を解決することにより予想される目標値に限りなく近づける。

- (a) 機械的速度の高速化：搬送駆動系のスピードアップを図る
- (b) 位置決め制御の最適化：移動時間の短縮を図る
- (c) 機構レイアウトの工夫：移動距離の短縮を図る

処理能力、インデックスタイムの高速化は、装置の複雑化、メンテナンス性の悪化、短寿命化、高価格化を招いていることも考えられ、今後、これらの課題を表面化させない方向への取り組みも必要である。

メモリハンドラは機構レイアウトを大きく変えずに速度向上を実践してきた傾向があり、スピードアップが技術限界を迎えつつある。今後の速度向上、位置決め制御最適を目指すためには、機構レイアウトの刷新を考慮する必要がある。ロジックハンドラにおいても、同測数の増加に伴う測定ユニットの重量化が進み、現状のインデックスが限界に近づいている。振動抑止構造、制振制御等の新しい技術が必須となってくる。

(2) 同時測定数

大量生産 IC では、ハンドラの動作時間に対しテスト時間が長大化した場合の生産コストを抑えるためには、同時測定数を増加させることが生産性を飛躍的に向上させるため、常に強いニーズがある。テストの機能向上と DFT(Design for Testability)の普及は、このニーズへの後押しとなり、より多くの同時測定が可能なハンドラが登場すると予想される。ロードマップ上での推移は、前回の数値よりその要求が進んでいることを捉え、メモリ系ハンドラで 2008 年中には 512 個同時測定が生産に投入され始め、2012 年には 1024 個同時測定が生産に投入され始めると予想している。ただし、同時測定数がほぼ 2 倍ずつ増加しているため装置サイズも肥大化している。運用コストを考慮すると、大きくせずに測定数を増やすことの出来る技術革新が必須である。

また、ロジック系ハンドラでも 2013 年に 32 個同時測定が大量生産の主流になると予想している。試験時間の短縮に伴い、多数個を高速搬送する方法が課題となってくる。

(3) 測定温度&精度

メモリ系ハンドラでは、直近では測定温度の標準化が確立され大きな変動はないと予想する。ただし、デバイスの性能が温度に依存する高周波対応デバイスが増加傾向であることから、試験時の温度制御が歩留りに影響を与える可能性があり、高い温度精度が近い将来要求されると考える。特に 1024 個同時測定から 2048 個へ移行が進む時には、温度制御容積の増大により温度精度保証に技術課題がある。さらに 2011 年からコンシューマ向け Low power DDR2 の生産量が増加傾向でチェンジ・キット交換、温度切替え時間の短縮も課題である。

また、ロジック系ハンドラは、車載の要求が増えていることを考慮し低温測定を追加している。2013 年からの 32 個同時測定での温度精度保証に関する課題はメモリ系ハンドラと同様でより精度が高く、応答の早い制御方法、デバイス測定時の発熱の吸収が必須となってくる。

(4) 床面積

テストの複雑化と高速化は、テストヘッドへの回路や電源の組込み数の増加をもたらし、年々容積が拡大する傾向にある。また、同時測定数の増加は、ハンドラ自体の機構も複雑にするためハンドラは大きくならざるを得ない。しかしながら、建屋の搬入口の制約や工場内レイアウト、移動の制限等もあり、サイズ増大は運用上の利

便性が損なわれると考えられ、ハンドラ内の機構レイアウト等の工夫が大きな課題となる。

メモリハンドラでは、特に床面積の増大が問題になりつつある。前述のとおり同時測定数が 512→1024→2048 と増加する中で明らかに装置サイズが肥大化することが予想されるため、工場での制限項目をクリアできる技術革新が求められる。

(5) パッケージ

多種多様化するパッケージに対応すべく、ハンドラ機能の拡張が必要であり、それを解決する項目を以下にあげる。

- (a) 各種パッケージ対応の汎用化 : 多種多様な品種対応の容易化
- (b) 各種パッケージ対応のフレキシブル性能向上 : 使用治工具の削減、品種交換点数の削減化
- (c) 各種パッケージの安定搬送 : 小型化、薄型化、軽量化されたパッケージの安定搬送を図る

特に、MCP(Multi Chip Package)^{*}や SiP(System in Package)^{*}は、携帯電話を代表とするモバイル機器に求められる軽薄短小化と開発の短 TAT 化のニーズに適合したパッケージとして、4~5 チップが積層される 3 次元パッケージも多く、半導体メーカーではその組立技術も成熟したものと急速に普及・拡大している。最近ではワイヤボンディングの代わりに TSV(through-silicon via)^{*}を使用した 3D 積層技術も実用化されている。その一方で、デバイスに与える衝撃を最小にするハンドリング技術やコンタクト技術が必要となっている。デバイスの複数チップを 1 パッケージ化する MCP では、ピン数の増加に伴いパッケージ内部におけるワイヤボンディングの倒れやボンディングパッドの接続不良、SiP における積層したチップのボンディング部分、さらに多層(多チップ搭載)が要求されるなかでチップの極薄型化に対応することが課題であり、ハンドラに求められる技術としてはパッケージに対する衝撃を最小に抑える技術が不可欠である。また、ボールからパッケージ外形の距離が極端に短い BGA(Ball Grid Array)タイプのノーエッジデバイス^{*}が増加傾向にあり、メモリハンドラでは搬送方法、コンタクト方法に技術的な工夫を加えることで対応が進んでいる。将来的にノーエッジデバイスに完全に対応できる技術革新が求められる。更にメモリ系ロジック系とも BGA パッケージで 0.4mm の狭ピッチデバイスの量産は既に開始され、2012 年には 0.35mm、0.3mm ピッチのデバイスが生産に投入され始めると予想している。このため画像処理による高精度な位置決めが必要となる。

今後もパッケージの多様化傾向はさらに進むと見込まれ、それに伴う対応に必要な費用も増大することが懸念される。この課題を回避するためにも、半導体メーカーへのパッケージ標準化を推奨するアプローチが必要である。

(6) 高周波測定

高周波対応デバイスは、パッケージ内の伝送距離を短くする為にフリップチップ型の BGA が主流となっており、そのデバイスを測定するソケットの接触子も短くすることが求められる。結果として、コンタクト・ストロークが短くなってしまうことから、ハンドラへの課題としては以下があげられる。

- (a) ソケットへの接触圧やストロークの分解能の高い管理が行える機構
- (b) FBGA パッケージでは、サブストレート部とチップ部を独立した機構でコンタクト出来るプッシャ構造
- (c) ハンドラ位置決め高精度化として高精度駆動方式、光学的位置決め

また、更なる高周波要求からパッケージ内のサブストレート部へ Passive 部品^{*}の登載が行われたる場合、チップ部のみならずサブストレート部にも接触出来ないことも考えられる。パッケージ及びそれらの要求に対応するソケットの構造により、加圧部形状、加圧方式等、ハンドラ側への要求に対し技術的な工夫を行う事で対応している。今後、更に多様なコンタクト機構の構築が課題となるであろう。

検査

4-3-2 自重落下ハンドラ

自重落下ハンドラは、プラスチックチューブ(金属の場合はマガジンとも称す)に収納するデバイスを重力の利用によって搬送(自重落下)するハンドラであり、最も初期のパッケージ形態である DIP(Dual Inline Package)が登場した頃から、メモリ/ロジックといった用途に限らず広く普及している搬送方式である。自重落下ハンドラの特徴として、以下の項目があげられる。

- (a) 自重落下を利用した搬送のため、機構が比較的単純である
- (b) デバイスを流れ処理で搬送するため、高速処理が実現出来る
- (c) 立体空間の有効活用が可能であり、フットプリントを小さく出来る

反面、QFP デバイスのように 4 方向にリードが存在するパッケージ、また、SOP(Small Outline Package)系デバイスでもトレイに収納する場合は適用外となる等、パッケージや収納容器による制約も存在する。

さらにメモリ系デバイスでは、同時測定の大容量化が進んだ事により主流が水平搬送方式に移行し、一時は SOP 系の少ピン・デバイスが対象用途となっていた。しかしながら、1990 年代末から急速に拡大したエリアアレイパッケージやノンリードパッケージ(Non Lead Package)の登場は、自重落下ハンドラの持つ制約を受けずに特徴を十分に活かせる事もあり、活躍の期待が高まっている。

現在の自重落下ハンドラは、同時測定数 8、処理能力 28,000 という高速化が実現されている。従って、テスト時間の短いデバイスでは、水平搬送ハンドラと比較し処理能力で 1 桁違う優位性を持っている。

処理能力は、6,000 個/DUT 程度が機械的能力の限界と言える。現状で約 5,000 個/DUT を実現しており、さらなる高速化は部品寿命低下とのバランスを図りながら進む事になると考えられる。

また、最近の傾向として、テストヘッドとのダイレクト接続が多くなっており、コンタクト・ストロークの伸長化が要求される。ダイレクト接続が必要なデバイスの多くは狭ピッチであるため、治工具との位置決め精度向上も同時に実現しなければならず、より高度な搬送技術が必要とされる。

自重落下方式では流れ処理でデバイスを搬送するため、ジャムが発生すると解除が煩雑になってしまう。高速、ダイレクト接続、位置決め精度向上という要求はハンドラの機構を複雑にするため、容易なジャム解除の実現には、さらなるデザインの工夫が必要である。

これらの課題を踏まえ、以下の項目を提言する。

- (a) ジャムレス対策。ジャムの多くは、デバイスとデバイスのバリが上下で噛み込む事で発生するので、強制加振機能を強化する。従来、よく用いられているレールのノック以外にバيبモータを使用した振動や、ピエゾ素子等によるレール上下間隔の変動制御という新方式の深耕を行なう。
- (b) 衝撃加重の緩和。パッケージ、およびウェーハの薄型化、スタック化による強度低下が問題になるため、ハンドリングやジャム対策を行う上で衝撃加重に対する考慮が一層重要になってくる。
- (c) 位置決め精度向上。コンタクト・ストロークの伸長による先端位置のズレを抑えるため、機構の高剛性化を行なう。また、コンタクト周りの位置制御方式をエアシリンダからモータ駆動に変え、クローズドループにして押し込み量を制御する。
- (d) プラットフォーム化。コンタクト部、ローダ部、アンローダ部がそれぞれパーツ化され、必要に応じた組合せで装置が構成可能とする。

パッケージの進化に伴い、自重落下ハンドラは SOP 系のみが対象のレガシーな装置という意識から、その特徴を最大限に活用して新パッケージに積極的に投入したいという気運が高まり、技術的発展が期待される一方、同時測定数の増加と共にテストヘッドとの接続の巨大化から、フレーム(ストリップ)状態での測定も検討されておりその技術動向によっては自重落下ハンドラのロードマップに大きな影響を及ぼすことも考えられる。

4-3-3 TAB ハンドラ

TAB ハンドラは、ロジックハンドラやメモリハンドラと比較すると歴史が浅い。また、プローブカードを活用することからウェハプローバと類似する機能が多いが、完成されたウェハプローバと比較すると機能的に劣っている。こういった状況下、ここ数年、ハンドラメーカーは、ウェハプローバに追いつくよう機能開発を行っている。

(1) 高速／高精度搬送技術の確立

LCDドライバは、組み込まれるFPDの画素数が向上するに従い動作速度の高速化が進む。またこれは、パネルへの高密度実装化のためにパターンの微細化ならびに薄型化が必要に迫られ、これを支えるベースフィルムよりも薄いものへと移行する。このようなデバイスをより高速に搬送し、高精度な位置決めを行うべく搬送技術の高度化が重要課題となっている。

(2) 初期の針合わせ機能の改善

測定ピン数増加による接触子構造の複雑化、密集化によるコンタクト視野性能の悪化、および付随して発生するコンタクト精度の悪化の改善は最重要課題である。これを改善すべく、オペレータの技能に影響されないよう、初期の針合わせを自動で行う機能開発を行う必要があり、基本的な機能開発は完了したと言える。今後は、更に高精度に針合わせが実現出来る高機能化が必須と考える。

(3) 各種接触子対策

パターンの微細化により従来のカンチレバー型^{*}のプローブカードでは針立てが困難になりつつある。この対応として、バーチカル型^{*}等の垂直形状接触子の採用が検討されている。これらの接触子においては、従来のアライメントユニットの配置では認識が不可等となるため、新しいアライメント方法の開発も急務となって来るであろう。

これら(1)項から(3)項の改善は、装置メーカーにとどまらず、プローブカードメーカーとの協力が重要であり、デバイスメーカーにおけるデバイス・パターンの規格化も重要な要素となるであろう。

4-3-4 ディスクリート・ハンドラ

ディスクリート・ハンドラは、主にトランジスタやダイオードといったディスクリートデバイスをターゲットにしたもので、古くはボウルフイーダで自動整列し、測定結果に基づいてバルクビンに収納する形態が多かった。しかし、近年はデバイスの表面実装型への移行に伴い、デバイスを自動整列させ、回転テーブルで処理するターレットタイプが主流であり、測定機能の他にマーキング機能、外観検査機能を搭載し、バルクビン収納の他にエンボステープやスティックに収納する形態が主流となっている。

図 7-4-3 に代表的なターレットタイプのディスクリート・ハンドラの外観を示す。

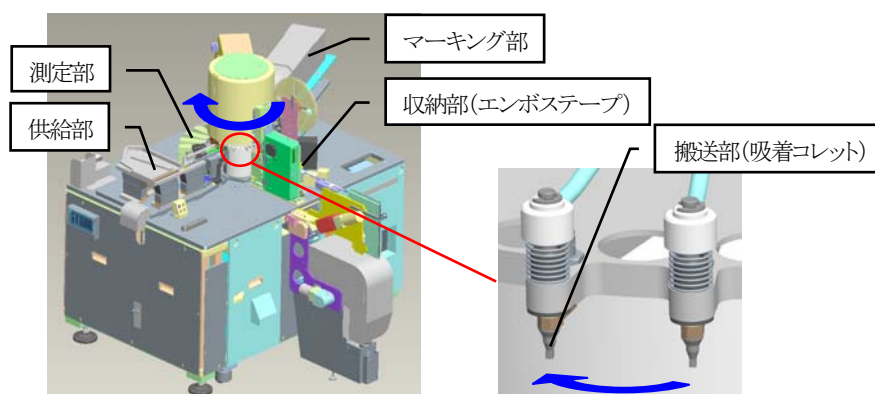


図 7-4-3 ディスクリート・ハンドラの外観

Figure 7-4-3 External of Discrete Handler

検査

ディスクリート・ハンドラは、パワー系デバイスをターゲットにしたものと、小信号系デバイスをターゲットにしたものに大別でき、パワー系ハンドラの特徴としては測定項目が多く、測定ステーションおよび分類数が多いためハンドラが大型になっている(2m×2m)。一方、小信号系ハンドラでは測定項目が少なく、分類の数も少ないためハンドラは小型である(1m×1m)。

ディスクリートデバイスの進化として低 ON 抵抗化があり、この技術によりパッケージの小型化が実現され、従来のパッケージサイズよりひと回り小さいパッケージにその機能が実装できるようになってきている。これに伴い、リード端子の狭小化とデバイスのパワーアップが同時に進み、コンタクタは狭小且つ大電流という、相反する技術が要求されてきている。

パワー系デバイスでは 100A 以上の測定に対応できるコンタクタ技術の要求、また、CSP(Chip Size Package)化された小信号系デバイスでは 0.2 mm×0.2mm 以下の狭いエリアに対応できるコンタクタ技術要求があり、通常ディスクリートデバイスの測定にはケルビン方式が用いられるため、独立した 2 本のコンタクタを狭いエリアに接触させなくてはならないこともあり、その技術を複雑で高度なものにしている。現在はプローブピン等により狭小化に対応しているが、今後はパワー系デバイス同様の 5A～10A クラスの対応が課題となる。

また、その他の課題として他のハンドラ同様、処理能力の向上が求められるが、テスト時間が短く(小信号系で 0.08～0.1 秒、パワー系で 0.15～0.18 秒)同測化のコストパフォーマンスが低いことから、高速搬送技術が求められ、薄く小型化していくパッケージやチップのスタック化により、衝撃緩和技術、車載用途では温度測定(-55℃～+175℃)の要求もあり、主流であるターレットタイプでどのように取組むかも課題となっている。

4-3-5 ストリップ・ハンドラ

従来のテスト工程に於いては、個片化されたデバイスを扱いテストしていたが、個片化する前の状態で扱う(テストを行なう)方が効率よく出来るという発想から生まれたハンドラである。名称の『ストリップ』とは、個片化する前のフレームの形状(短冊状=ストリップ)をさしている。

近年、個片化せずに扱うことで装置の標準化と同時に搬送対象が個片パッケージと比較し画一化されるため、チェンジ・キットの種類が少なく、投資の削減が可能となる。また、デバイスをまとめて搬送するため、ジャムも無くなるといった生産性向上に対する寄与も大きいのでテスト・コストの削減を可能にするハンドラとして注目されている。また、BGA、WLP(Wafer Level Package)や極小パッケージといった従来方式では、搬送に困難が伴うパッケージに対応するハンドラとしても注目されている。

ハンドラの形態としては、パッケージを個片化する方式により 2 タイプに分かれる。リードフレームに個別モールドされた従来パッケージ(SOP、TSSOP、QFP 等)では、金型による個片化が主流であり、フレームをそのまま扱うが、リードフレームに一括で複数個モールドされたパッケージ(CSP、QFN 等)や WLP では、ダイサーによる個片化が主流であり、フレームをダイシング・リングに貼付けて扱う。どちらの方式もアイソレーションカット(電気的な個片化)後、ストリップ状態でテストを行なう。装置構成はプローバに近く、その特徴として以下の項目があげられる。

- (1) 画像処理による高精度な位置決めが可能。
- (2) テストヘッド接続がオーバーヘッド・ドッキングである。
- (3) ハンドラに物理的なソーティング機能が存在しない。

物理的なソーティングがないのは、リング上の座標に良品/不良品情報を付加したもの(マップ・データ等)を出力し、ソーティング工程で良品を分類するからである。但し、オプションでソーティング機能を付加するケースもある。

ストリップ・ハンドラは今までのハンドラとは別のコンセプトであるため、テスト工程自体のインフラをどう作って行くかが課題である。その課題として以下の項目があげられる。

- (1) 各ストリップにソーティング用に何らかの ID(バーコード、2D コード等)が必要である。

- (2) ダイシングシートを使用するため高温測定ができない。
- (3) 同測数は、個々のデバイス位置精度に依存する。
- (4) 高温等の環境試験でのフレーム膨張によるデバイスの位置変化がありコンタクト位置精度に悪影響を及ぼす。
- (5) テスト用ソケットの位置レイアウトは、ストリップ上のデバイスレイアウトに依存する事と位置精度を考慮した場合、隣接したデバイスを使った同測を行なう為、測定環境を構築する際にスペース的な制約が生じる。

用語説明

文中で使用されている用語の内、本ロードマップの業種にて用いられるものを主体に選び解説を加えた。他分野で主に使用されている用語については重複を避ける意味で割愛したので、もし不明のものが有れば当該業種の用語解説項等を参照戴きたい。

- 1) ディスクリート(Discrete)
抵抗、コンデンサ、ダイオード、トランジスタといった単一の機能をもった素子の総称(ディスクリート=個別半導体素子)
- 2) TAB (Tape automated bonding)
フィルム上にパターンを形成しチップを搭載したパッケージの総称。
TCP (Tape carrier package) と COF (Chip on film) に分類される。
- 3) カンチレバー型(Cantilever type)
機械工学で言う片持ち梁の原理で働く端子構造を持つプローブカードを指して言う。
- 4) バーチカル型 (Vertical type)
一般的には機械工学で言う座屈応力の原理で働く端子構造を持つプローブカード指して言う。垂直型とも呼ばれる。
- 5) MCP (Multi Chip Package)
ひとつの基板上に中央演算処理装置(CPU)や周辺ロジックなど、複数のベアチップを高密度実装した半導体部品
- 6) SiP (System in Chip)
ロジックやメモリなどの複数の既存チップを組合せ、システムとして1つのパッケージ内に収めた半導体部品
- 7) TSV(through-silicon via)
シリコン製半導体チップの内部を垂直に貫通する電極のことである。複数枚のチップを積重ねて1つのパッケージに収める場合に、従来ではワイヤボンディングで行なわれている上下のチップ同士の接続をこの貫通電極で行なう。
- 8) ノーエッジデバイス(図 7-4-4 で図解)
- 9) Passive 部品(図 7-4-4 で図解)

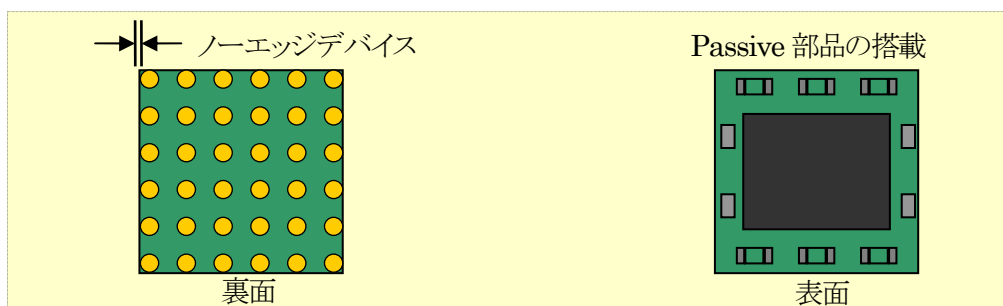


図 7-4-4 パッケージ図解
Figure 7-4-4 Package illustration

第5章 ソケット

5-1 ソケット概要とロードマップ

ソケットはパッケージ化された IC の検査工程で使用され、機能試験および、良否選別を行うための検査治具である。また、ソケットは、検査する IC と測定するテスト間を直接接続するものであり、高速化、高密度化(多機能化)する IC 検査において重要な部品の一つである。

ロードマップの作成にあたっては前回と同様、STRJ で議論されているパッケージ・タイプをアプリケーション別に分け、対応可能なソケットの中から代表的な物を適用し分類を行った。尚、ロードマップで議論される項目は、検査対象になる IC のアプリケーションからソケットへの要求事項を明確にし、これまでと同様、電気特性、機械的性能に絞りを絞り、検討を行った。

5-2 ソケットの分類

分類は、(パッケージ・タイプ) - (アプリケーション) - (ソケットのコンタクタ・タイプ) として捕らえ、パッケージ・タイプは TSOP (Thin Small Outline Package) , QFP (Quad Flat Package) / QFN (Quad Flat Non-leaded package), BGA (Ball Grid Array) / CSP (Chip Size Package)を、アプリケーションは Flash (NAND), SoC, DRAM / Flash (NOR)を、ソケットのコンタクタ・タイプは Contact blade, Contact blade + Rubber, Spring probe, Spring probe (50 ohm), Rubber を対応させた。

コンタクタ・タイプの概観図を図 7-5-1 に、ソケット・タイプの分類表を表 7-5-1 に示す。各コンタクタ・タイプの説明は 5-4 項で行う。

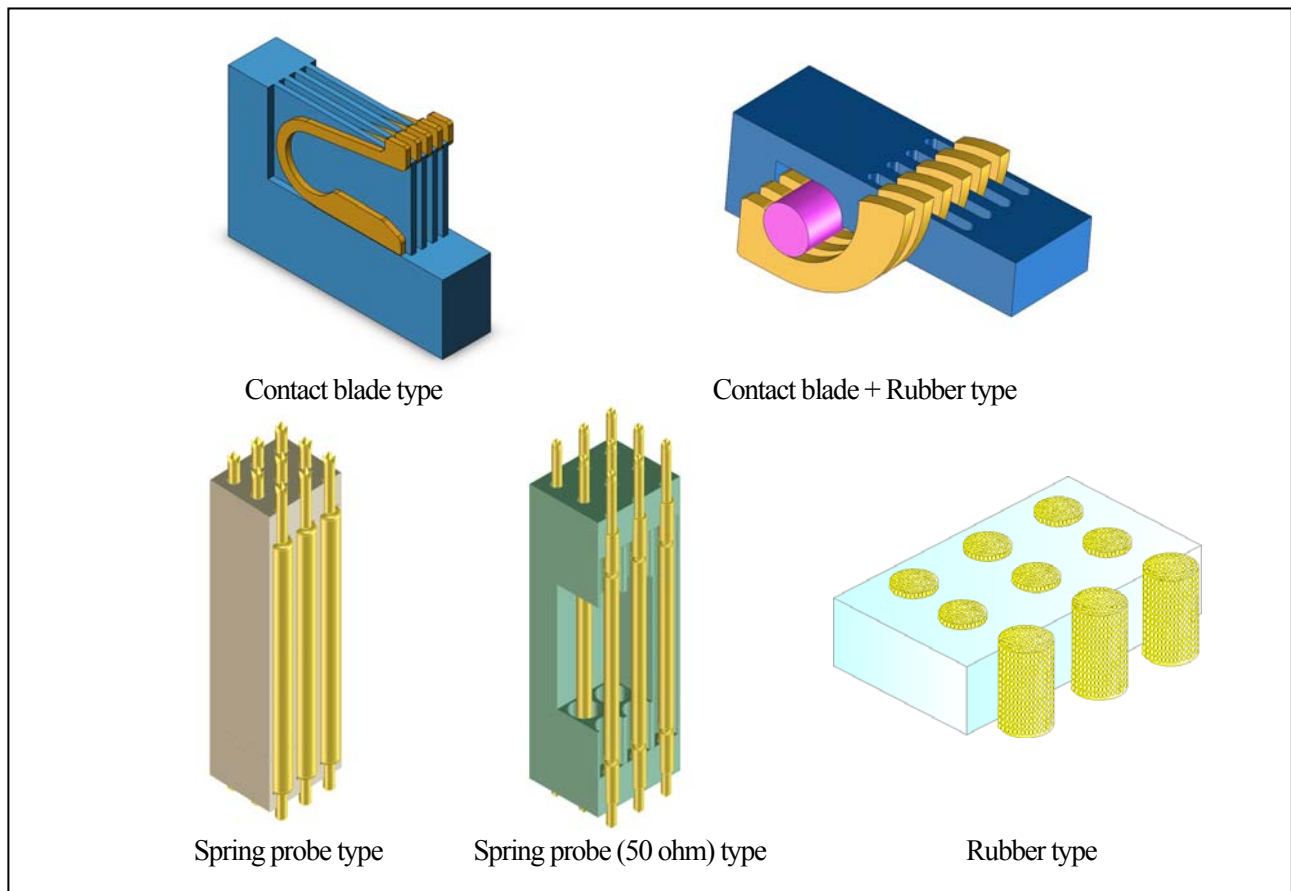


図 7-5-1 ソケットのコンタクタ・タイプ

Figure 7-5-1 Contactor type

表 7-5-1 ソケット・タイプの分類

Table 7-5-1 Socket type

パッケージ・タイプ PKG type	アプリケーション Application	ソケットのコンタクタ・タイプ Contactor type
TSOP	Flash (NAND)	Contact blade
QFP/QFN	SoC	Contact blade + Rubber
BGA/CSP	DRAM/Flash (NOR)	Spring probe
	SoC	Spring probe (50 ohm)
		Rubber

以上、パッケージ・タイプ別に対応するソケット・タイプを示したが、ソケットのロードマップを検討する上ではデバイス自体の高速化、高密度化(多機能化)を考慮しておく必要がある。そこで、高密度化の観点からはピン数と端子ピッチを、そして高速化の観点からはデータレートピックアップし、ロードマップ化を行った。

次項に、各分類別のロードマップを示す。

5-3 ソケット・ロードマップ

表 7-5-2 : TSOP - Flash (NAND) - Contact Blade

表 7-5-3 : QFP/QFN - SoC - Contact Blade + Rubber

表 7-5-4 : BGA/CSP - DRAM/Flash (NOR) - Spring probe

表 7-5-5 : BGA/CSP - SoC - Spring probe (50 ohm)

表 7-5-6 : BGA/CSP - SoC - Rubber

表 7-5-2 TSOP - Flash (NAND) - Contact blade ロードマップ

Table 7-5-2 TSOP - Flash (NAND) - Contact blade Road map

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
TSOP - Flash (NAND)										
Lead pitch (mm)	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Data rate (MT/s)	66	100	100	100	100	133	133	166	166	266
Contact blade										
Inductance (nH)	5-10	5-10	5-10	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Contact stroke (mm)	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact force (N)	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact resistance (m ohm)	30	30	30	30	30	30	30	30	30	30
Slit width (mm)	0.17	0.17	0.17	0.17	0.17	0.17	0.17	0.17	0.17	0.17

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



表 7-5-3 QFP/QFN - SoC - Contact blade + Rubber ロードマップ

Table 7-5-3 QFP/QFN - SoC - Contact blade + Rubber Road map

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
QFP/QFN – SoC										
Lead pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Data rate (GT/s)	12	12	12	12	15	20	20	40	40	40
Contact blade + Rubber										
Inductance (nH)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	<0.1	<0.1	<0.1
Contact stroke (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
Contact force (N)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.1	0.1	0.1
Contact resistance (m ohm)	30	30	30	30	30	30	30	30	30	30

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



表 7-5-4 BGA/CSP - DRAM / Flash (NOR) - Spring probe ロードマップ

Table 7-5-4 BGA/CSP – DRAM / Flash (NOR) - Spring probe Road map

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
BGA/CSP - DRAM / Flash (NOR)										
Pin pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Data rate (GT/s)	1.6	2.1	2.7	2.7	3.2	3.2	4.3	6.4	8.5	8.5
Spring probe										
Inductance (nH)	1	1	0.5	0.5	0.3	0.3	0.3	0.15	0.15	0.15
Contact stroke (mm)	0.3	0.3	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Contact force (N)	<0.3	<0.3	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Contact resistance (m ohm)	100	100	100	100	100	100	100	100	100	100

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



表 7-5-5 BGA/ CSP - SoC - Spring probe (50 ohm) ロードマップ

Table 7-5-5 BGA/ CSP - SoC - Spring probe (50 ohm) Road map

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
BGA/ CSP - SoC										
Pin pitch (mm)	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
Data rate (GT/s)	12	12	15	15	15	20	20	40	40	40
Spring probe (50 ohm)										
Impedance (ohm)	50	50	50	50	50	50	50	50	50	50
Contact stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact force (N)	<0.3	<0.3	<0.3	<0.3	<0.3	<0.2	<0.2	<0.2	<0.2	<0.2
Contact resistance (m ohm)	50	50	50	50	50	50	50	50	50	50

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



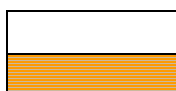
表 7-5-6 BGA/ CSP - SoC - Rubber ロードマップ

Table 7-5-6 BGA/ CSP - SoC - Rubber Road map

項目	2011	2012	2013	2014	2015	2016	2017	2020	2023	2026
BGA/ CSP - SoC										
Pin pitch (mm)	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
I/O data (GT/s)	12	12	15	15	15	20	20	40	40	40
Rubber										
Inductance (nH)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	<0.1	<0.1	<0.1
Contact stroke (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
Contact force (N)	0.2	0.15	0.15	0.15	0.15	0.1	0.1	0.1	0.1	0.1
Contact resistance (m ohm)	50	50	50	50	50	50	50	50	50	50
Thickness (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5

Manufacturable Solutions Exist, and Are Being Optimized

Interim Solutions are Known



Manufacturable Solutions are Known

Manufacturable Solutions are NOT Known



5-4 各ソケット・タイプの技術動向

次に各ソケット・タイプ別の技術動向と課題を示す。

5-4-1 Contact Blade 技術

TSOP - Flash (NAND) のパッケージ測定で主に使われている Contact blade タイプのソケットは、接触子自体にバネ性を備え、その撓みにより接触荷重を発生させるもので、コンタクタの基本要素である接点部・バネ部・ターミナル部が一体となった構造となっている。その反面、一体となった構造であるがゆえに、接触力・ストローク・寿命等の機械的性能を満足させるには、バネ長の確保が不可欠になるが、電気特性においては、信号の伝送経路が長くなる事から、高周波の測定には不向きである。また、隣接した接触子間に絶縁壁を形成する構造上、狭ピッチ化の観点からは、接触子の板厚を薄くする必要性が有り、十分な機械的性能の確保が厳しくなると共に、ソケットベースの絶縁壁の形成も困難になってくる。

Flash (NAND) パッケージの動向としては0.3mmまでの狭ピッチ化が進むとされ、ソケットが対応するためには、接触子と絶縁壁の薄厚化が必須となるが、現状の構造・工法では限界がある為、絶縁壁レス化も視野に入れた新構造・新工法の確立が今後の課題となってくる。

但し、現状では0.3mmピッチの要望は少なく、今後のパッケージの動向に注意が必要である。

また、近年Contact Bladeタイプのソケットへの高寿命化の要望が高まっており、一部では接触構造や表面処理などの検討が行われている。

5-4-2 Contact Blade + Rubber 技術

QFP / QFN - SoC (高周波) のパッケージ測定で主に使われる Contact blade + Rubber タイプのソケットは、高い周波数特性に対応するために、接触子自体にはバネ性を持たせず接触子の導体長を短くさせ、別に配置した Rubber に変位を与える事により接触荷重を発生させる。Rubber の硬度を変える事でパッケージパット材質に適した接触荷重に変更出来るというメリットがあるが、Contact blade タイプのソケットと比べると機械的な寿命は少ないというデメリットもある。

QFP / QFN - SoC (高周波) のロードマップによると、2016年に I/O data 20GT/s の要求があるが、接触子の導体長を短くする事で高周波特性への対応は可能である。2020年に I/O data 40GT/s の要求があるが、接触子の導体長を、必要とされる Inductance までに小型化する事が難しくなる。

5-4-3 Spring probe 技術

BGA - DRAM のパッケージ測定で主に使われている Spring probe タイプのソケットは、小径パイプや円柱状の部品と圧縮スプリングを組み合わせたもので、バネ性を圧縮スプリングから発生させる。そのため十分な機械的寿命を確保するためには、パイプ径を太く、パイプ長を長くする必要性が生じる。部品の構成と構造より1~2箇所の接触部分しか得る事が出来ず、他の接触子と比較して接触抵抗値が高い傾向にある。しかし、パッケージ接触部から基板パターンへ垂直につながっていくシンプルな形のため、DUT 基板の設計が容易で、メンテナンス性が非常に優れているなどの特徴を有する。

BGA - DRAM のロードマップによると、パッケージ・ボールの狭ピッチ化により、Spring probe 自体の極細化や、高周波特性であるデータレートの高速化により、低インダクタンスを実現するため、Spring probe 自体の短尺化が求められている

5-4-4 Spring probe (50 ohm) 技術

BGA - SoC (高周波)のパッケージに使用可能な Spring probe (50ohm)は、同軸構造を採用し、インピーダンスマッチングに注意を払う事によって、Spring probe 長が伝送特性に与える影響を極力小さく出来る構造が実現可能である。また、長いコンタクト長を確保できる本方式はストローク確保という点においては有利である。ただし、BGA - SoC のパッケージ・ボールの狭ピッチ化及び多ピン化が進むと、一部ピン配列に同軸構造が取れないという制約が発生する。2016 年以降はデータレートが 20GT/s まで高速化し、ボールピッチも 0.5mm となり、Spring probe (50 ohm)の構造上の問題から、十分な電気特性を発揮出来なくなる。また、構成部品が多いという問題から Spring probe の接触抵抗は高い傾向を示すが、2010 年から要求される接触抵抗値 50m ohm に対応するためには、材質、めっき、構造の見直しが課題となっている。

5-4-5 Rubber 技術

BGA - SoC(高周波)のパッケージに使用可能な Rubber は、シリコンゴムの厚み方向に導電粒子の束を規則的に配列させる事によって上下の導通と隣接の絶縁を確保する方式である。インダクタンスが厚みに依存するため標準的な厚みでも低いインダクタンスを確保できる事から、高周波の測定にその優位性を発揮する事ができるが、厚みを一定に保ったままインダクタンスをさらに低減していくことが課題となる。

パッケージのボールピッチの微細化に対しては、現状のロードマップに示されたターゲットに対応する事は問題ないと思われるが、多ピン化にともない同一ストローク量を確保したまま必要荷重だけを低減していく事は容易ではない。ボールピッチが微細になれば Rubber 側の電極径も小径化するため、自動的に必要荷重は軽減される傾向にあるが、同測数upと設備側の総加圧力の上限によって、さらに低荷重化の要求が出て来る事は間違いないと思われる。

また、ロードマップで一定とした Contact stroke も、パッケージ基板のそりと半田ボールの高さばらつきを含めたコプラナリティの吸収能力を上げるためにより低荷重/高ストロークの要求が出てくる事が予測される。

5-5 ソケット共通の技術課題

本項ではますます進化する半導体デバイスの微細化、多ピン化、高速化に対応するべく、各ソケットの共通課題について述べる。一部前回のロードマップでも掲げている課題で、未だ最適解が見つかっていないものについても今回記載している。

5-5-1 大電流対応

デバイスによっては、高周波化だけではなく、大電流を印加して動作させる High-Power 化が進みつつある。半田ボールコンタクトによる半田付着と大電流印加の繰返しにより、付着した半田の拡散が進み、ソケット側の劣化も加速する事になる。

対策としてはソケットのコンタクト抵抗の上昇を 4 端子接触によりキャンセルする方法もあるが、ソケット側またはソケットを搭載するテストボード上で大電流を印加する端子を複数に分割し、1 端子あたりのソケットの接触子の電流負荷を軽減する方法なども検討されているが、これらの手法はスペースの制約という問題を有している。

また、大電流が印加された場合、接触部に生ずる接触抵抗やコンタクト自身の導体抵抗により発熱を生じ、コンタクトやソケットへダメージを与える事がある。この対策が各種講じられているが、模索段階である。

5-5-2 大型/多ピンパッケージへの対応

従来、大型/多ピンのパッケージについては、インターポーザ基板のそりや半田ボールの高さバラツキが大きく Spring Probe などの大きなストロークを有したソケットでは、そのそりやボールの高さバラツキを十分吸収できていた。しかし、同パッケージが高速化する事によって Inductance を下げるために Probe の全長を短くする必要が生

検査

じ、それによってストロークが減少する事になり、吸収能を下げってしまうという課題が生じつつある。

また、もともとの Inductance が低い Rubber type は厚み自体が薄く、ストロークが小さいため、そりに対する許容能は狭く、Spring Probe とは別の要因で吸収能を向上する事が困難となっている。いずれの Type についても高周波特性を維持しつつ、その吸収能を向上させる最適手法の模索段階である。

5-5-3 位置決め精度向上

パッケージの小型化、端子ピッチの微細化は、コンタクト位置決めにおいて機械的精度向上だけでは成立が困難になってきている。その結果量産時に安定コンタクトが得られず、歩留まりを悪化させる要因となりつつある。デバイスのアライメントについては、今後ソケットのみではなく、デバイスを搬送するハンドラ、さらにはデバイスメーカーとも協力しながら解を見つけていくことが重要である。その一つの解として、ソケットの接触子とパッケージ端子を画像認識し、光学的に位置決めする等の手法が有力視されている。ただし、画像認識を使用することによるスループットの低下、メモリ等の多数個同時測定の場合に精度確認をどのように実施するか等ハンドラも含めた課題も多く、ソケット単体での位置決め精度向上策も平行して検討する必要がある。

5-5-4 試験温度環境への対応

近年、半導体デバイスの多様化により広範囲なアプリケーションに対する環境保証が要求されている。特に今後市場が伸びると予測される車載向け、通信機器向けデバイスに対する要求は厳しく、それらに使用される半導体デバイスの試験温度は、 $-55\sim+175^{\circ}\text{C}$ (一部では 200°C との声も聞かれる) を要求されており、これらの環境で安定コンタクトを得るためのコンタクタや それを保持するソケットハウジングへの要求もますます厳しくなっている。

5-6 まとめ

パッケージの微細・多ピン化、高速化が進むにつれ、ハンドラ装置のなかでも特に高周波対応などの電気特性の向上については殆どがソケット部品の改善課題として要求されている。第 5 章ではパッケージ・タイプをアプリケーション別に分け、5 つのソケット・タイプに分類しそれぞれのロードマップを作成することで、今後の技術動向と課題を明確にした。しかしながら、実際にはソケット単体だけで装置全体の特性を改善できるものではなくテストボードなどソケット周辺機器や、テスタとの連携により初めて成り立つと考えられる。この意味において、とりわけ高周波に関する課題解決は、テスタメーカーを始めデバイスメーカーとの共同開発が急務と考えており、各プロジェクトへの提案とサプライヤへの提言とさせていただきます。